PAT-NO:

JP02006196549A

DOCUMENT-IDENTIFIER: JP 2006196549 A

TITLE:

TITLE DATA NOT AVAILABLE

PUBN-DATE:

July 27, 2006

INVENTOR-INFORMATION:

NAME COUNTRY HATADA, AKIRA N/A KATAUE, AKIRA N/A TAMURA, NAOYOSHI N/A SHIMAMUNE, YOSUKE N/A SHIMA, MASASHI N/A OTA, HIROYUKI N/A

ASSIGNEE-INFORMATION:

NAME

**COUNTRY** 

**FUJITSU LTD** 

N/A

APPL-NO:

JP2005004405

APPL-DATE:

January 11, 2005

## ABSTRACT:

PROBLEM TO BE SOLVED: To assure a sufficient distance between source/drain diffusion region areas and to inhibit the generation of a leakage current in an nMOS transistor simultaneously by making the channel region of the above pMOS transistor, to approach a compressive stress generation source which has an SiGe mixed crystal layer in a pMOS transistor as much as possible, and to arrange it in the substrate in a semiconductor integrated circuit device having on a CMOS set on the substrate.

SOLUTION: The gate electrode side wall insulating film of the pMOS transistor is formed with a film having an HF resistance, a trench in which the above p-type SiGe mixed crystal layer performs the epitaxial growth to the element region of the pMOS transistor is formed by approaching to the channel region of the above pMOS transistor, and they are formed simultaneously. In the nMOS transistor region, still more nearly another side wall insulating film is formed in the exterior of the side wall insulating film of the gate electrode, and the sufficient distance between an n-type source/drain region

formed by ion implantation into the substrate is assured.

COPYRIGHT: (C)2006,JPO&NCIPI

(19) 日本国特許庁(JP)

# (12) 公 開 特 許 公 報(A)

(11)特許出願公開番号

特開2006-196549 (P2006-196549A)

(43) 公開日 平成18年7月27日(2006.7.27)

(51) Int.C1.

HO1L 21/8238 (2006.01) HO1L 27/092 (2006.01) FΙ

HO1L 27/08 321E HO1L 27/08 321C テーマコード (参考)

5F048

審査請求 有 請求項の数 10 OL (全 35 頁)

(21)	出願番号
(22)	出願日

特願2005-4405 (P2005-4405) 平成17年1月11日 (2005.1.11)

*))* | 1\ (71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番

1号

(74)代理人 100070150

弁理士 伊東 忠彦

(72)発明者 畑田 明良

神奈川県川崎市中原区上小田中4丁目1番

1号 富士通株式会社内

(72) 発明者 片上 朗

神奈川県川崎市中原区上小田中4丁目1番

1号 富士通株式会社内

(72) 発明者 田村 直義

神奈川県川崎市中原区上小田中4丁目1番

1号 富士通株式会社内

最終頁に続く

## (54) 【発明の名称】半導体集積回路装置およびその製造方法

## (57)【要約】

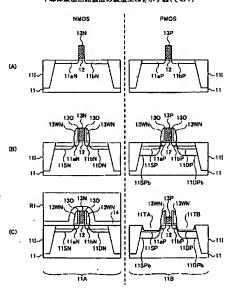
(修正有)

【課題】 CMOSを基板上に有する半導体集積回路装置において、pMOSトランジスタにおいてSiGe混晶層よりなる圧縮応力発生源を、基板中、前記pMOSトランジスタのチャネル領域に可能な限り近接させて配置し、同時にnMOSトランジスタにおいて、ソース/ドレイン拡散領域の間に充分な距離を確保してリーク電流の発生を抑制する。

【解決手段】 pMOSトランジスタのゲート電極側壁 絶縁膜を、HF耐性を有する膜により形成し、pMOSトランジスタの素子領域に前記p型SiGe混晶層がエピタキシャル成長するトレンチを、前記pMOSトランジスタのチャネル領域に近接して形成すると同時に、nMOSトランジスタ領域においては、ゲート電極の側壁 絶縁膜の外側にさらに別の側壁絶縁膜を形成し、基板中にイオン注入により形成されるn型ソース/ドレイン領域の間に充分な距離を確保する。

【選択図】 図2

#### (A)~(C)は、本発明の第1実施例による 半温体集時間数結構の製造工程を示す関(その1



### 【特許請求の範囲】

#### 【請求項1】

素子分離構造により、第1の素子領域と第2の素子領域とを画成されたシリコン基板と

前記第1の素子領域上に形成されたnチャネルMOSトランジスタと、

前記第2の素子領域上に形成されたpチャネルMOSトランジスタとよりなる半導体集積回路装置であって、

前記nチャネルMOSトランジスタは、

第1の側壁絶縁膜を両側壁面上に有する第1のゲート電極と、

前記第1の素子領域中、前記第1の側壁絶縁膜の外側に形成されたn型ソースおよびド 10レイン拡散領域を含み、

前記pチャネルMOSトランジスタは、

第2の側壁絶縁膜を両側壁面上に有する第2のゲート電極と、

前記第2の素子領域中、前記第2の側壁絶縁膜の両側に形成されたp型ソースおよびドレイン拡散領域と、

前記第2の素子領域中、前記第2の側壁絶縁膜の両側に、それぞれ前記 p 型ソースおよびドレイン拡散領域内に含まれるように形成されたトレンチを充填するように、前記シリコン基板に対してエピタキシャルに形成された第1および第2のSiGe混晶層領域とを含み、

前記第1 および第2のSiGe 混晶層領域の各々は、これに対応する前記第2の側壁絶縁膜の表面に対して自己整合する位置関係に形成されており、

前記第1の素子領域中における前記n型ソース拡散領域と前記n型ドレイン拡散領域との間の距離は、前記第2の素子領域中における前記p型ソース拡散領域と前記p型ドレイン拡散領域との間の距離よりも、前記それぞれの拡散領域の下端部で比較した場合、大きいことを特徴とする半導体集積回路装置。

### 【請求項2】

前記第1の側壁絶縁膜と前記第2の側壁絶縁膜とは、それぞれ第1および第2の、互いに異なった構造を有することを特徴とする請求項1記載の半導体集積回路装置。

### 【請求項3】

前記第1の側壁絶縁膜は、HFにより侵食される第1の材料により、その表面が形成され、前記第2の側壁絶縁膜は、HFに対して耐性を有する第2材料により、その表面が形成されることを特徴とする請求項1または2記載の半導体集積回路装置。

### 【請求項4】

前記第1の側壁絶縁膜と前記第2の側壁絶縁膜とは、同一の構成を有することを特徴とする請求項1記載の半導体集積回路装置。

### 【請求項5】

素子分離構造により、第1の素子領域と第2の素子領域とを画成されたシリコン基板と

前記第1の素子領域上に形成されたnチャネルMOSトランジスタと、

前記nチャネルMOSトランジスタは、

第1の側壁絶縁膜を両側壁面上に有する第1のゲート電極と、

前記第1の素子領域中、前記第1の側壁絶縁膜の外側に形成されたn型ソースおよびドレイン拡散領域を含み、

前記pチャネルMOSトランジスタは、

第2の側壁絶縁膜を両側壁面上に有する第2のゲート電極と、

前記第2の素子領域中、前記第2の側壁絶縁膜の両側に形成されたp型ソースおよびドレイン拡散領域と、

前記第2の素子領域中、前記第2の側壁絶縁膜の両側に、それぞれ前記p型ソースおよ

20

12/13/06, EAST Version: 2.1.0.14

びドレイン拡散領域内に含まれるように形成されたトレンチを充填するように、前記シリコン基板に対してエピタキシャルに形成された第1および第2のSiGe 混晶層領域とを含み、

前記第1および第2のSiGe混晶層領域の各々は、これに対応する前記第2の側壁絶縁膜の表面に対して自己整合する位置関係に形成されており、

前記第1および第2の側壁絶縁膜の各々は、前記HFに対して耐性を有する材料よりなる下側側壁絶縁膜と、前記下側側壁絶縁膜上に形成されHFにより侵食される材料よりなる中間側壁絶縁膜と、前記中間側壁絶縁膜上に形成され、前記HFに対して耐性を有する材料よりなる上側側壁絶縁膜とよりなることを特徴とする半導体集積回路装置。

### 【請求項6】

素子分離構造により、第1の素子領域と第2の素子領域とを画成されたシリコン基板と、前記第1の素子領域上に形成された、第1のゲート電極パターンを有する n チャネルM O S トランジスタと、前記第2の素子領域上に形成された、第2のゲート電極パターンを有する p チャネルM O S トランジスタとよりなり、前記 p チャネルM O S トランジスタにおいては、前記第2のゲート電極パターン直下のチャネル領域の両側に、前記シリコン基板に対してエピタキシャルに形成された p 型 S i G e 混晶層領域を含む半導体集積回路装置の製造方法であって、

前記第1および第2の素子領域中において、前記第1のゲート電極パターンと前記第2のゲート電極パターンのそれぞれの側壁面上に、HFに対して耐性を有する第1の材料により、第1の側壁絶縁膜を形成する工程と、

前記第2の素子領域中において、前記第2のゲート電極パターン、および前記第2のゲート電極パターン上の前記第1の側壁絶縁膜を自己整合マスクに、p型不純物元素のイオン注入を行い、前記シリコン基板中、前記第2のゲート電極パターンの両側にp型のソースおよびドレイン領域を形成する工程と、

前記第1の素子領域中において、前記第1のゲート電極パターン上の前記第1の側壁絶縁膜上に、前記第1の側壁絶縁膜に対してエッチング選択性を有する第2の側壁絶縁膜を 形成する工程と、

前記第1の素子領域中において、前記第1のゲート電極パターンと、前記第1のゲート電極パターン上の前記第1の側壁絶縁膜および前記第2の側壁絶縁膜を自己整合マスクに、n型不純物元素をイオン注入し、前記第1の素子領域中、前記第1のゲート電極パターンの両側にn型のソースおよびドレイン領域を形成する工程と

前記第1の素子領域を覆うように、また前記第2の素子領域を露出するように、マスク 絶縁膜を形成する工程と、

前記マスク絶縁膜を形成する工程の後、前記第1の素子領域を前記マスク絶縁膜で覆った状態で、前記第2の素子領域中において、前記第2のゲート電極パターン、および前記第2のゲート電極パターン上の前記第1の側壁絶縁膜をマスクに前記シリコン基板をエッチングし、前記第2のゲート電極パターンの両側に、前記第1の側壁絶縁膜により隔てられて、第1および第2のトレンチを形成する工程と、

前記第1および第2のトレンチを形成する工程の後、前記第1の素子領域を前記マスク絶縁膜で覆った状態で、前記第1および第2のトレンチ中に、p型SiGe混晶層をエピタキシャル成長させ、前記p型SiGe混晶層領域を形成する工程と、よりなることを特徴とする半導体集積回路装置の製造方法。

### 【請求項7】

前記シリコン基板をエッチングする工程は、前記第1および第2のトレンチの表面を、HFまたは有機アルカリ系のエッチャントにより処理する工程、または等方性ドライエッチングまたは前記ウェット処理とドライエッチングの適宜の組み合わせによる処理工程を含むことを特徴とする請求項6記載の半導体集積回路装置の製造方法。

### 【請求項8】

素子分離構造により、第1の素子領域と第2の素子領域とを画成されたシリコン基板と、前記第1の素子領域上に形成された、第1のゲート電極パターンを有するnチャネルM

10

20

20

40

\_\_

OSトランジスタと、前記第2の素子領域上に形成された、第2のゲート電極パターンを有する p チャネルMOSトランジスタとよりなり、前記 p チャネルMOSトランジスタにおいては、前記第2のゲート電極パターン直下のチャネル領域の両側に、前記シリコン基板に対してエピタキシャルに形成された p 型SiGe混晶層領域を含む半導体集積回路装置の製造方法であって、

前記第1および第2の素子領域中において、前記第1のゲート電極パターンと第2のゲート電極パターンのそれぞれの側壁面上に、CVD酸化膜を介して、HFに対して耐性を有する第1の材料により、第1の側壁絶縁膜を形成する工程と、

前記第1および第2の素子領域中において、前記第1のゲート電極パターンと前記第2のゲート電極パターンのそれぞれにおいて、前記第1の側壁絶縁膜上に、前記第1の材料に対してエッチング選択性を示す第2の材料により、第2の側壁絶縁膜を形成する工程と

前記第1の素子領域中において前記第1のゲート電極パターン、および前記第1のゲート電極パターン上の前記1および第2の側壁絶縁膜をマスクに、前記シリコン基板中にn型不純物元素をイオン注入し、前記第1のゲート電極パターンの両側にn型のソースおよびドレイン領域を形成する工程と、

前記第2の素子領域中において前記第2のゲート電極パターン、および前記第2のゲート電極パターン上の前記第1および第2の側壁絶縁膜をマスクに、前記シリコン基板中に p型不純物元素をイオン注入し、前記第2のゲート電極パターンの両側にp型のソースおよびドレイン領域を形成する工程と、

前記第1および第2の素子領域中において、前記第1のゲート電極パターンと前記第2のゲート電極パターンのそれぞれの側壁面上に、前記第1の材料に対してエッチング選択性を示す第3の材料により、第3の側壁絶縁膜を形成する工程と、

前記第1の素子領域中において、前記第1のゲート電極パターン、および前記第1のゲート電極パターン上の前記第1~第3の側壁絶縁膜をマスクに、n型不純物元素をさらにイオン注入し、前記n型ソースおよびドレイン領域のそれぞれの下に、第1および第2のn型バッファ拡散領域を、相互に離間して形成する工程と、

前記第2の素子領域中において、前記第2のゲート電極パターン、および前記第2のゲート電極パターン上の前記第1~第3の側壁絶縁膜をマスクに、p型不純物元素をさらにイオン注入し、前記p型ソースおよびドレイン領域のそれぞれの下に、第1および第2のp型バッファ拡散領域を、相互に離間して形成する工程と、

前記第1および第2の素子領域中において、前記第1および第2のゲート電極の側壁而から、前記第2および第3の側壁絶縁膜を、HFを使ったエッチングにより除去する工程と、

さらに前記第1および第2の素子領域中において、前記第1および第2のゲート電極のそれぞれに、HFに耐性を有する第4の側壁絶縁膜を形成する工程と、

前記第2の素子領域において、前記第2のゲート電極、および前記第2のゲート電極上の前記第1および第4の側壁絶縁膜をマスクに、前記シリコン基板をエッチングし、前記第2のゲート電極の両側に、第1および第2のトレンチを形成する工程と、

前記第2の素子領域において、前記第1および第2のトレンチをp型SiGe混晶層のエピタキシャル成長により充填する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

### 【請求項9】

素子分離構造により、第1の素子領域と第2の素子領域とを画成されたシリコン基板と、前記第1の素子領域上に形成された、第1のゲート電極パターンを有する n チャネルMOSトランジスタと、前記第2の素子領域上に形成された、第2のゲート電極パターンを有する p チャネルMOSトランジスタとよりなり、前記 p チャネルMOSトランジスタにおいては、前記第2のゲート電極パターン直下のチャネル領域の両側に、前記シリコン基板に対してエピタキシャルに形成された p 型SiGe 混晶層領域を含む半導体集積回路装置の製造方法であって、

20

20

前記第1および第2の素子領域中において、前記第1のゲート電極パターンと第2のゲート電極パターンのそれぞれの側壁面上に、第1の材料により、第1の側壁絶縁膜を形成する工程と、

前記第1の素子領域中において前記第1のゲート電極パターン、および前記第1のゲート電極パターン上の前記1の側壁絶縁膜をマスクに、前記シリコン基板中に n 型不純物元素をイオン注入し、前記第1のゲート電極パターンの両側に n 型のソースおよびドレイン領域を形成する工程と、

前記第2の素子領域中において前記第2のゲート電極パターン、および前記第2のゲート電極パターン上の前記第1の側壁絶縁膜をマスクに、前記シリコン基板中にp型不純物元素をイオン注入し、前記第2のゲート電極パターンの両側にp型のソースおよびドレイン領域を形成する工程と、

前記第1および第2の素子領域中において、前記第1のゲート電極パターンと前記第2のゲート電極パターンのそれぞれにおいて、前記第1の側壁絶縁膜上に、第2の側壁絶縁膜を形成する工程と、

前記第1の素子領域中において、前記第1のゲート電極パターン、および前記第1のゲート電極パターン上の前記第1および第2の側壁絶縁膜をマスクに、n型不純物元素をさらにイオン注入し、前記n型ソースおよびドレイン領域のそれぞれの下に、より不純物濃度の低い第1および第2のn型バッファ拡散領域を、相互に離間して形成する工程と、

前記第2の素子領域中において、前記第2のゲート電極パターン、および前記第2のゲート電極パターン上の前記第1および第2の側壁絶縁膜をマスクに、p型不純物元素をさらにイオン注入し、前記p型ソースおよびドレイン領域のそれぞれの下に、より不純物濃度の低い第1および第2のp型バッファ拡散領域を、相互に離問して形成する工程と、

前記第1および第2の素子領域中において、前記第1および第2のゲート電極の側壁面から、前記第1および第2の側壁絶縁膜を、エッチングにより除去する工程と、

さらに前記第1および第2の素子領域中において、前記第1および第2のゲート電極の それぞれに、HFに耐性を有する第3の側壁絶縁膜を形成する工程と、

前記第2の素子領域において、前記第2のゲート電極、および前記第2のゲート電極上の前記第3の側壁絶縁膜をマスクに、前記シリコン基板をエッチングし、前記第2のゲート電極の両側に、第1および第2のトレンチを形成する工程と、

前記第2の素子領域において、前記第1および第2のトレンチをp型SiGe混晶層のエピタキシャル成長により充填する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

### 【請求項10】

前記第2のゲート電極の各々の側壁面上には、前記側壁面に対向する前記第2の側壁絶縁膜との間に酸化膜が、前記側壁絶縁膜の底部において、前記側壁絶縁膜と前記シリコン基板との間をも延在するように、第1の端部から第2の端部まで連続的に形成されており

前記酸化膜の前記第1の端部は、前記第2のゲート電極と前記第2の側壁酸化膜間において、前記第2のゲート電極の上面から後退した位置に形成されており、前記酸化膜の前記第2の端部は、前記第2の側壁絶縁膜の側壁面から後退した位置に形成されており、

前記第2のゲート電極と前記第2の側壁絶縁膜との間には、前記第2のゲート電極の上面から前記酸化膜の前記第1の端面までの間に、HFに対して耐性を有する材料よりなる第1の膜領域が形成されており、

前記シリコン基板と前記第2の側壁絶縁膜との間には、前記第2の側壁絶縁膜の側壁面から前記酸化膜の前記第2の端面までの間に、HFに対して耐性を有する材料よりなる第2の膜領域が形成されていることを特徴とする請求項1~5のうち、いずれか一項記載の半導体集積回路装置。

【発明の詳細な説明】

【技術分野】

[0001]

50

本発明は一般に半導体装置に係り、特に歪み印加により動作速度を向上させた半導体装置およびその製造方法に関する。

### 【背景技術】

### [0002]

微細化技術の進歩に伴い、今日では100nmを切るゲート長を有する超微細化・超高速半導体装置が可能になっている。

### [0003]

このような超微細化・超高速トランジスタでは、ゲート電極直下のチャネル領域の面積が、従来の半導体装置に比較して非常に小さく、このためチャネル領域を走行する電子あるいはホールの移動度は、このようなチャネル領域に印加された応力により大きな影響を受ける。そこで、このようなチャネル領域に印加される応力を最適化して、半導体装置の動作速度を向上させる試みが数多くなされている。

## [0004]

一般にシリコン基板をチャネルとする半導体装置では、電子の移動度よりもホールの移動度の方が小さく、このためホールをキャリアとする p チャネルM O S トランジスタの動作速度を向上させることが、半導体集積回路装置の設計にあたり重要課題となっている。

#### [0005]

このような p チャネル M O S トランジスタでは、チャネル領域に一軸性の圧縮応力を印加することでキャリアの移動度が向上することが知られており、チャネル領域に圧縮応力を印加する手段として、図 1 に示す 概略的構成が提案されている。

#### [0006]

図1を参照するに、シリコン基板1上にはチャネル領域に対応してゲート電極3が、ゲート絶縁膜2を介して形成されており、前記シリコン基板1中には前記ゲート電極3の両側にチャネル領域を画成するように、p型拡散領域1aおよび1bが形成されている。さらに前記ゲート電極3の側壁には、前記シリコン基板1の表面の一部をも覆うように側壁絶縁膜3A、3Bが形成されている。

## [0007]

前記拡散領域1a,1bはそれぞれMOSトランジスタのソースおよびドレインエクステンション領域として作用し、前記拡散領域1aから1bへと前記ゲート電極3直下のチャネル領域を輸送されるホールの流れが、前記ゲート電極3に印加されたゲート電圧により制御される。

## [0008]

図1の構成では、さらに前記シリコン基板1中、前記側壁絶縁膜3Aおよび3Bのそれぞれ外側に、SiGe混晶層1A、1Bがシリコン基板1に対してエピタキシャルに形成されており、前記SiGe混晶層1A、1B中には、それぞれ前記拡散領域1aおよび1bに連続するp型のソースおよびドレイン領域が形成されている。

### [0009]

図1の構成のMOSトランジスタでは、前記SiGe混晶層1A,1Bがシリコン基板1に対してより大きな格子定数を有するため、前記SiGe混晶層1A,1B中には矢印aで示す圧縮応力が形成され、その結果、SiGe混晶層1A,1Bは、矢印bで示す前記シリコン基板1の表面に略垂直な方向に歪む。

### [0010]

前記SiGe混晶層1A、1Bはシリコン基板1に対してエピタキシャルに形成されているため、このような矢印bで示すSiGe混晶層1A、1Bにおける歪みは対応する歪みを、前記シリコン基板中の前記チャネル領域に、矢印cで示すように誘起するが、かかる歪みに伴い、前記チャネル領域には、矢印dで示すように一軸性の圧縮応力が誘起される。

## [0011]

図1のMOSトランジスタでは、チャネル領域にこのような一軸性の圧縮応力が印加される結果、前記チャネル領域を構成するSi結品の対称性が局所的に変調され、さらにか

0

20

かる対称性の変化に伴って、重いホールの価電子帯と軽いホールの価電子帯の縮退が解けるため、チャネル領域におけるホール移動度が増大し、トランジスタの動作速度が向上する。このようなチャネル領域に局所的に誘起された応力によるホール移動度の増大およびこれに伴うトランジスタ動作速度の向上は、特にゲート長が100nm以下の超微細化半導体装置に顕著に現れる。

【特許文献1】米国特許第6621131号公報

【特許文献2】特開2004-31753号公報

【特許文献3】特開平8-167718号公報

【非特許文献 1 】Thompson, S. E., et al., IEEE Transactions on Electron Devices, vol.51, No.11, November, 2004, pp.1790 - 1797

【発明の開示】

【発明が解決しようとする課題】

#### [0012]

ところで一般に半導体集積回路装置では、このような高速 p チャネルMOSトランジスタは、同一基板上に形成された n チャネルMOSトランジスタと共に C M O S 索子を構成するのが一般的であるが、同一基板上に p チャネルMOSトランジスタと n チャネルMOSトランジスタとを同時に形成しようとすると様々な問題が発生する。

### [0013]

先に図1で説明したような、チャネル領域における一軸性の圧縮応力の発生は、 p チャネル M O S トランジスタの動作速度の向上には大きく寄与するものの、 n チャネル M O S トランジスタにおいて同様な一軸性の圧縮応力をチャネル領域に印加すると、 n チャネル M O S トランジスタの動作速度は、逆に劣化してしまうため、このような n チャネル M O S トランジスタの素子領域では、このような圧縮応力は発生しないように構成する必要がある。

#### [0014]

また、図1の原理に従って p チャネルMOSトランジスタの動作速度を向上させようとすると、前記SiGe混晶層領域1A、1Bをできるだけゲート電極3直下のチャネル領域に近接させるのが好ましく、このためにはゲート電極13の側壁絶縁膜をできるだけ薄く形成し、前記シリコン基板中に前記SiGe混晶層1A、1Bの成長のために、前記側壁絶縁膜を自己整合マスクに形成されるトレンチを、可能な限り近接させるのが好ましいが、同様に n チャネルMOSトランジスタにおいてゲート電極の側壁絶縁膜の厚さを減少させると、素子領域中において n 型ソース領域と n 型ドレイン領域とが過度に近接してしまい、シリコン基板中、ソース/ドレイン間にリーク電流が流れやすくなる問題が生じる

## [0015]

このような事情で、図1に示したSiGe混晶層が発生する応力により動作速度を向上させた p チャネルM O S トランジスタを n チャネルM O S トランジスタと組み合わせて高速 C M O S 索子を形成しようとすると、ゲート電極の側壁絶縁膜を p チャネルM O S トランジスタでは薄く、また n チャネルM O S トランジスタでは厚く形成する必要があり、このような構造を、工程数の増加を極力抑制して実現できる半導体装置の製造方法が要望されている。

【課題を解決するための手段】

### [0016]

本発明は一の側面において、素子分離構造により、第1の素子領域と第2の素子領域と を画成されたシリコン基板と、前記第1の素子領域上に形成された n チャネルM O S トランジスタとよりな る半導体集積回路装置であって、前記 n チャネルM O S トランジスタは、第1の側壁絶縁 膜を両側壁面上に有する第1のゲート電極と、前記第1の素子領域中、前記第1の側壁絶 縁膜の外側に形成された n 型ソースおよびドレイン拡散領域を含み、前記 p チャネル M O S トランジスタは、第2の側壁絶縁膜を両側壁面上に有する第2のゲート電極と、前記第

50

10

2の素子領域中、前記第2の側壁絶縁膜の両側に形成された p 型ソースおよびドレイン拡 散領域と、前記第2の索子領域中、前記第2の側壁絶縁膜の両側に、それぞれ前記 p 型ソースおよびドレイン拡散領域内に含まれるように形成されたトレンチを充填するように、 前記シリコン基板に対してエピタキシャルに形成された第1 および第2のSiGe混晶層領域の各々は、これに対応する前記 第2の側壁絶縁膜の表面に対して自己整合する位置関係に形成されており、前記第1の素 子領域中における前記 n 型ソース拡散領域と前記 p 型ドレイン拡散領域との間の距離は、 前記第2の素子領域中における前記 p 型ソース拡散領域と前記 p 型ドレイン拡散領域との 間の距離よりも、前記それぞれの拡散領域の下端部で比較した場合、大きい半導体集積回 路装置を提供する。

### [0017]

本発明は他の側面において、素子分離構造により、第1の素子領域と第2の素子領域と を画成されたシリコン基板と、前記第1の素子領域上に形成されたnチャネルMOSトラ ンジスタと、前記第2の素子領域上に形成されたpチャネルMOSトランジスタとよりな る半導体集積回路装置であって、前記nチャネルMOSトランジスタは、第1の側壁絶縁 膜を両側壁而上に有する第1のゲート電極と、前記第1の素子領域中、前記第1の側壁絶 緑膜の外側に形成されたn型ソースおよびドレイン拡散領域を含み、前記pチャネルMO Sトランジスタは、第2の側壁絶縁膜を両側壁面上に有する第2のゲート電極と、前記第 2の素子領域中、前記第2の側壁絶縁膜の両側に形成された p 型ソースおよびドレイン拡 散領域と、前記第2の素子領域中、前記第2の側壁絶縁膜の両側に、それぞれ前記p型ソ ースおよびドレイン拡散領域内に含まれるように形成されたトレンチを充填するように、 前記シリコン基板に対してエピタキシャルに形成された第1および第2のSiGe混晶層 領域とを含み、前記第1および第2のSiGe混晶層領域の各々は、これに対応する前記 第2の側壁絶縁膜の表面に対して自己整合する位置関係に形成されており、前記第1およ び第2の側壁絶縁膜の各々は、前記HFに対して耐性を有する材料よりなる下側側壁絶縁 膜と、前記下側側壁絶縁膜上に形成されHFにより侵食される材料よりなる中間側壁絶縁 膜と、前記中間側壁絶縁膜上に形成され、前記HFに対して耐性を有する材料よりなる上 側側壁絶縁膜とよりなることを特徴とする半導体集積回路装置を提供する。

## [0018]

本発明は他の側面において、素子分離構造により、第1の素子領域と第2の素子領域と を画成されたシリコン基板と、前記第1の素子領域上に形成された、第1のゲート電極パ ターンを有するnチャネルMOSトランジスタと、前記第2の素子領域上に形成された、 第2のゲート電極パターンを有する p チャネルMOSトランジスタとよりなり、前記 p チ ャネルMOSトランジスタにおいては、前記第2のゲート電極パターン直下のチャネル領 域の両側に、前記シリコン基板に対してエピタキシャルに形成された p 型 S i G e 混晶層 領域を含む半導体集積回路装置の製造方法であって、前記第1および第2の素子領域中に おいて、前記第1のゲート電極パターンと前記第2のゲート電極パターンのそれぞれの側 壁面上に、HFに対して耐性を有する第1の材料により、第1の側壁絶縁膜を形成する工 程と、前記第2の素子領域中において、前記第2のゲート電極パターン、および前記第2 のゲート電極パターン上の前記第1の側壁絶縁膜を自己整合マスクに、p型不純物元素の イオン注入を行い、前記シリコン基板中、前記第2のゲート電極パターンの両側にp型の ソースおよびドレイン領域を形成する工程と、前記第1の素子領域中において、前記第1 のゲート電極パターン上の前記第1の側壁絶縁膜上に、前記第1の側壁絶縁膜に対してエ ッチング選択性を有する第2の側壁絶縁膜を形成する工程と、前記第1の素子領域中にお いて、前記第1のゲート電極パターンと、前記第1のゲート電極パターン上の前記第1の 側壁絶縁膜および前記第2の側壁絶縁膜を自己整合マスクに、n塱不純物元素をイオン注 入し、前記第1の素子領域中、前記第1のゲート電極パターンの両側にn型のソースおよ びドレイン領域を形成する工程と前記第1の素子領域を覆うように、また前記第2の素子 領域を露出するように、マスク絶縁膜を形成する工程と、前記マスク絶縁膜を形成する工 程の後、前記第1の素子領域を前記マスク絶縁膜で覆った状態で、前記第2の素子領域中 10

20

30

۸Λ

において、前記第2のゲート電極パターン、および前記第2のゲート電極パターン上の前記第1の側壁絶縁膜をマスクに前記シリコン基板をエッチングし、前記第2のゲート電極パターンの両側に、前記第1の側壁絶縁膜により隔てられて、第1および第2のトレンチを形成する工程と、前記第1および第2のトレンチを形成する工程の後、前記第1の素子領域を前記マスク絶縁膜で覆った状態で、前記第1および第2のトレンチ中に、p型SiGe混晶層をエピタキシャル成長させ、前記p型SiGe混晶層領域を形成する工程と、よりなる半導体集積回路装置の製造方法を提供する。

さらに本発明は他の側面において、素子分離構造により、第1の素子領域と第2の素子 領域とを画成されたシリコン基板と、前記第1の素子領域上に形成された、第1のゲート 電極パターンを有するnチャネルMOSトランジスタと、前記第2の素子領域上に形成さ れた、第2のゲート電極パターンを有するpチャネルMOSトランジスタとよりなり、前 記 p チャネルMOSトランジスタにおいては、前記第2のゲート電極パターン直下のチャ ネル領域の両側に、前記シリコン基板に対してエピタキシャルに形成されたp型SiGe 混晶層領域を含む半導体集積回路装置の製造方法であって、前記第1および第2の素子領 域中において、前記第1のゲート電極パターンと第2のゲート電極パターンのそれぞれの 側壁而上に、CVD酸化膜を介して、HFに対して耐性を有する第1の材料により、第1 の側壁絶縁膜を形成する工程と、前記第1および第2の素子領域中において、前記第1の ゲート電極パターンと前記第2のゲート電極パターンのそれぞれにおいて、前記第1の側 壁絶縁膜上に、前記第1の材料に対してエッチング選択性を示す第2の材料により、第2 の側壁絶縁膜を形成する工程と、前記第1の素子領域中において前記第1のゲート電極パ ターン、および前記第1のゲート電極パターン上の前記1および第2の側壁絶縁膜をマス クに、前記シリコン基板中に n 型不純物元素をイオン注入し、前記第1のゲート電極パタ ーンの両側に n 型のソースおよびドレイン領域を形成する工程と、前記第 2 の素子領域中 において前記第2のゲート電極パターン、および前記第2のゲート電極パターン上の前記 第1および第2の側壁絶縁膜をマスクに、前記シリコン基板中にp型不純物元素をイオン 注入し、前記第2のゲート電極パターンの両側に p 型のソースおよびドレイン領域を形成 する工程と、前記第1および第2の素子領域中において、前記第1のゲート電極パターン と前記第2のゲート電極パターンのそれぞれの側壁面上に、前記第1の材料に対してエッ チング選択性を示す第3の材料により、第3の側壁絶縁膜を形成する工程と、前記第1の 素子領域中において、前記第1のゲート電極パターン、および前記第1のゲート電極パタ ーン上の前記第1~第3の側壁絶縁膜をマスクに、n型不純物元素をさらにイオン注入し 、前記n型ソースおよびドレイン領域のそれぞれの下に、第1および第2のn型バッファ 拡散領域を、相互に離間して形成する工程と、前記第2の素子領域中において、前記第2 のゲート電極パターン、および前記第2のゲート電極パターン上の前記第1~第3の側壁 絶縁膜をマスクに、p型不純物元素をさらにイオン注入し、前記p型ソースおよびドレイ ン領域のそれぞれの下に、第1および第2のp型バッファ拡散領域を、相互に離間して形 成する工程と、前記第1および第2の素子領域中において、前記第1および第2のゲート 電極の側壁面から、前記第2および第3の側壁絶縁膜を、HFを使ったエッチングにより 除去する工程と、さらに前記第1および第2の素子領域中において、前記第1および第2 のゲート電極のそれぞれに、HFに耐性を有する第4の側壁絶縁膜を形成する工程と、前 記第2の素子領域において、前記第2のゲート電極、および前記第2のゲート電極上の前 記第1および第4の側壁絶縁膜をマスクに、前記シリコン基板をエッチングし、前記第2 のゲート電極の両側に、第1および第2のトレンチを形成する工程と、前記第2の素子領 域において、前記第1および第2のトレンチをp型SiGe混晶層のエピタキシャル成長 により充填する工程とを含む半導体集積回路装置の製造方法を提供する。 [0020]

本発明はさらに他の側面において、素子分離構造により、第1の素子領域と第2の素子領域とを画成されたシリコン基板と、前記第1の素子領域上に形成された、第1のゲート電極パターンを有するnチャネルMOSトランジスタと、前記第2の素子領域上に形成さ

50

40

れた、第2のゲート電極パターンを有するpチャネルMOSトランジスタとよりなり、前 記pチャネルMOSトランジスタにおいては、前記第2のゲート電極パターン直下のチャ ネル領域の両側に、前記シリコン基板に対してエピタキシャルに形成されたp型SiGe 混晶層領域を含む半導体集積回路装置の製造方法であって、前記第1および第2の素子領 域中において、前記第1のゲート電極パターンと第2のゲート電極パターンのそれぞれの 側壁面上に、第1の材料により、第1の側壁絶縁膜を形成する工程と、前記第1の素子領 域中において前記第1のゲート電極パターン、および前記第1のゲート電極パターン上の 前記1の側壁絶縁膜をマスクに、前記シリコン基板中にn型不純物元素をイオン注入し、 前記第1のゲート電極パターンの両側にn型のソースおよびドレイン領域を形成する工程 と、前記第2の素子領域中において前記第2のゲート電極パターン、および前記第2のゲ ート電極パターン上の前記第 1 の側壁絶縁膜をマスクに、前記シリコン基板中に p 型不純 物元素をイオン注入し、前記第2のゲート電極パターンの両側にp型のソースおよびドレ イン領域を形成する工程と、前記第1および第2の素子領域中において、前記第1のゲー ト電極パターンと前記第2のゲート電極パターンのそれぞれにおいて、前記第1の側壁絶 縁膜上に、第2の側壁絶縁膜を形成する工程と、前記第1の素子領域中において、前記第 1のゲート電極パターン、および前記第1のゲート電極パターン上の前記第1および第2 の側壁絶縁膜をマスクに、n型不純物元素をさらにイオン注入し、前記n型ソースおよび ドレイン領域のそれぞれの下に、より不純物濃度の低い第1および第2のn型バッファ拡 散領域を、相互に離間して形成する工程と、前記第2の素子領域中において、前記第2の ゲート電極パターン、および前記第2のゲート電極パターン上の前記第1および第2の側 壁絶縁膜をマスクに、 p型不純物元素をさらにイオン注入し、前記 p型ソースおよびドレ イン領域のそれぞれの下に、より不純物濃度の低い第1および第2のp型バッファ拡散領 域を、相互に離間して形成する工程と、前記第1および第2の素子領域中において、前記 第1および第2のゲート電極の側壁面から、前記第1および第2の側壁絶縁膜を、エッチ ングにより除去する工程と、さらに前記第1および第2の素子領域中において、前記第1 および第2のゲート電極のそれぞれに、HFに耐性を有する第3の側壁絶縁膜を形成する 工程と、前記第2の素子領域において、前記第2のゲート電極、および前記第2のゲート 電極上の前記第3の側壁絶縁膜をマスクに、前記シリコン基板をエッチングし、前記第2 のゲート電極の両側に、第1および第2のトレンチを形成する工程と、前記第2の素子領 域において、前記第1および第2のトレンチをp型SiGe混晶層のエピタキシャル成長 により充填する工程とを含む半導体集積回路装置の製造方法を提供する。

### 【発明の効果】

### [0021]

本発明によれば、pチャネルMOSトランジスタのチャネル領域の両側のトレンチを充填するように形成され、前記チャネル領域に一軸性圧縮応力を印加するp型SiGe混晶層を前記チャネル領域に近接して形成することで、前記チャネル領域に印加される一軸性圧縮応力の値を増大させると同時に、同一のシリコン基板上に形成されたnチャネルMOSトランジスタにおいて、シリコン基板中の深いソースおよびドレイン拡散領域間に充分な距離を確保でき、その結果、前記nチャネルMOSトランジスタのソース/ドレイン間でのリークを抑制することが可能になる。

### [0022]

特にこのようなトレンチをSiGe混晶層で充填することによりチャネル領域に印加される一軸性圧縮応力を発生させるpチャネルMOSトランジスタでは、かかるSiGe混晶層として高い結晶品質の膜が要求されるが、このような高い結晶品質のSiGe混晶層を形成しようとすると、前記トレンチが可能な限り前記チャネル領域に近接するように、自己整合プロセスを使ってトレンチを形成するのみならず、さらに前記SiGe混晶層のエピタキシャル成長に先立って、前記トレンチの表面をHFエッチャントを使ってクリーニングし、SiGeの結晶成長を妨げる酸化物やその他の不純物を除去する工程が必要不可欠になる。本発明では、このような課題を、前記pチャネルMOSトランジスタのゲート電極側壁絶縁膜に、HFに対して耐性の有る材料を使うことで解決し、かつnチャネル

0

20

30

40

MOSトランジスタにおいてはゲート電極側壁絶縁膜の厚さを増大させることにより、シリコン基板中における深いソース/ドレイン拡散領域間の距離を確保し、かかる部分におけるリーク電流の発生を抑制している。

### [0023]

また本発明は、前記第1および第2の側壁絶縁膜の各々を、前記HFに対して耐性を有する材料よりなる下側側壁絶縁膜と、前記下側側壁絶縁膜上に形成されHFにより侵食される材料よりなる中間側壁絶縁膜と、前記中間側壁絶縁膜上に形成され、前記HFに対して耐性を有する材料よりなる上側側壁絶縁膜とより構成することにより、HFに対して耐性を有する下側側壁絶縁膜とより構成することにより、HFに対して耐性を有する下側側壁絶縁膜を設けることにより、前記第1および第2のゲート電極の表面を覆うように形成されたCVD酸化膜のHFによる侵食を抑制でき、半導体集積回路装置の電気特性を向上させることができる。

## [0024]

特に本発明では、pチャネルMOSトランジスタおよびnチャネルMOSトランジスタのいずれにおいても、それぞれのゲート電極と、対応するHF耐性を有する側壁絶縁にCVD酸化膜など、HFに侵食される膜を介在させるのが望ましいが、このような膜が、前記トレンチ形成の際に行われるHFによるクリーニング処理により侵食される関題を回避を入れぞれのゲート電極上によるクリーニング処理により侵食される間題を回避を入り、本発明では、このような前記側壁絶縁膜をそれぞれのゲート電極上に、前記HFに侵食される膜のうち、がかるは、得られた構造をHF中において処理し、前記HFに侵食される膜のうち、ゲート電極上面および側壁絶縁膜の側壁面によりによりによりでで、かかるスリットを形成する。さらに、かかるスリットを、HFに対しているのない構造を実現していまって、エッチングによりこのような深いスリットが形成されることのない構造を実現している。

【発明を実施するための最良の形態】

## [0025]

## [第1実施例]

図2 (A) ~3 (F) は、本発明の第1実施例による半導体集積回路装置の製造方法を示す図である。

## [0026]

図2(A)を参照するに、シリコン基板11上にはSTI型の素子分離構造11Iにより、nチャネルMOSトランジスタの素子領域11AおよびpチャネルMOSトランジスタの素子領域11Aはp型にドープされ、p型ウェルを形成している。また前記素子領域11Bはn型にドープされ、n型ウェルを形成している。また前記素子領域11Bはn型にドープされ、n型ウェルを形成している。さらに前記素子領域11Bはおいては、図示はしないが、前記シリコン基板11の表面近傍において、p型純物元素により、前記nチャネルMOSトランジスタのしきい値調整のためのイオン注入がなされている。

### [0027]

10

20

30

40

[0028]

次に図2(B)の工程で、前記シリコン基板11およびポリシリコンゲート電極13N,13Pの表面に、厚さが約10nmのCVD酸化膜130を、前記CVD酸化膜130 が前記シリコン基板11の露出表面および前記ポリシリコンゲート電極13Nおよび13 Pの表面を連続して覆うように形成し、さらに前記ポリシリコンゲート電極13N,13 Pの側壁面に、シリコンのドライおよびウェットエッチング処理、およびHF処理に対して耐性を有する例えばSiON膜あるいはSiN膜よりなる側壁絶縁膜13WNを、前記CVD酸化膜13Oを介して、例えば30nmの厚さに形成する。

[0029]

このような側壁絶縁膜13WNは、図2(A)の構造上にSiON膜あるいはSiN膜を、前記ソースエクステンション領域あるいはドレインエクステンション領域の不純物濃度分布が乱されないように600℃以下の低温プロセス、例えばプラズマCVD法により堆積し、これを前記シリコン基板11の表面が露出するまでエッチバックすることにより、形成することができる。

[0030]

[0031]

さらに図2(B)の工程では、前記素子領域11Aを、図示しないレジスト膜で覆い、前記ゲート電極13Pおよび側壁酸化膜130,側壁絶縁膜13WNをマスクに前記素子領域11Bにおいてp型不純物元素、たとえはB+を3keVの加速電圧下、 $1 \times 10^{15}$  c  $m^{-2}$ のドーズ量でイオン注入し、前記シリコン基板11中、前記側壁絶縁膜13WNの外側に、より深いp型拡散領域を、前記pチャネルMOSトランジスタのソースおよびドレイン領域11SPおよび11DPとして、それぞれ形成する。

[0032]

さらに図2(B)の工程では、前記ソースおよびドレイン領域11SPおよび11DPの耐圧向上のため、前記ポリシリコンゲート電極13Pおよび側壁酸化膜130,側壁絶縁膜13WNをマスクに、前記素子領域11Bにp型不純物元素、例えばB+をより大きな10keVの加速電圧下、より小さな1×10 $^{13}$  c  $^{-2}$  のドーズ量でイオン注入し、前記p型ソースおよびドレイン領域11SP,11DPの下に、p-型のバッファソースおよびドレイン領域11SPbおよび11DPbを、それぞれ形成する。

[0033]

次に図2 (C) の工程において、前記図2 (B) 上にシリコン酸化膜14をCVD法により、50 nmの厚さに堆積し、さらに前記素子領域11 AをレジストマスクR1で覆った状態で、前記シリコン酸化膜14を前記素子領域11 Bより除去する。

[0034]

さらに図2 (C) の工程では、前記素子領域11Aを前記レジストマスクR1で覆ったまま、前記素子領域11Bにおいて前記シリコン基板11に対し、前記ポリシリコンゲー

0

30

20

12/13/06, EAST Version: 2.1.0.14

ト電極13Pおよび側壁絶縁膜13WNを自己整合マスクに、ドライエッチングあるいは 有機アルカリエッチャントを使ったウェットエッチングを適用し、あるいはこれらを順次 組み合わせて適用し、前記シリコン基板中、前記側壁絶縁膜13WNの外側にトレンチ1 1TA,11TBを、前記前記ソース/ドレイン領域11SP,11DPを超えないよう な、例えば40nmの深さに形成する。また、前記トレンチ11TA,11TBを形成す る工程は、前記レジストマスクR1を除去した後で行うことも可能である。

### [0035]

さらに、このようなトレンチ.1 1 T A , 1 1 T B の形成後、得られた構造をH F によりウェットエッチングし、特に前記トレンチ 1 1 T A , 1 1 T B の底面および側壁面からエッチング残渣などの不純物を除去する。

## [0036]

また図2 (C) の工程では、前記シリコン基板11中への前記トレンチ11TA, 11TBの形成に伴い、前記ポリシリコンゲート電極13Pも部分的にエッチングを受ける。 【0037】

次に図3(D)の工程において前記レジスト膜 R 1 を除去し、このようにして得られた図2(C)の構造が、減圧CVD装置中に導入され、シランガス(SiH₄)およびゲルマン(GeH₄)ガスを、ジボランなどの p 型ドーパントガスとともに600  $\mathbb C$  以下の温度で供給することにより、前記トレンチTA、TBを充填するように、p 型SiGe混晶層14A,14Bをエピタキシャルに成長させる。

#### [0038]

例えば、かかる S i G e 混晶層 1 4 A , 1 4 B の成長は、 5 5 0  $^{\circ}$  の基板温度において、 5  $^{\circ}$  1 3 3 0 P a の水素雰囲気中、 S i H  $_4$  ガスを分圧が 1  $^{\circ}$  1 0 P a になるように、また G e H  $_4$  ガスを分圧が 0 . 1  $^{\circ}$  1 0 P a になるように、さらに B  $_2$  H  $_6$  ドーパントガスを、分圧が 1  $^{\circ}$  1  $^{\circ}$  0 P a になるように、さらに塩化水素(H C I ) エッチングガスを、 1  $^{\circ}$  1 0 P a の分圧になるように供給することにより、実行することができる。

### [0039]

かかる p 型 S i G e 混晶層 1 4 A 、 1 4 B のエピタキシャル成長に伴い、前記ポリシリコンゲート電極 1 3 P 上においても、 p 型の多結晶 S i G e 層 1 4 C が成長する。前記 S i G e 層 1 4 A ~ 1 4 C の成長は、 1 ~ 4 O 分間行われ、その結果、前記トレンチ 1 1 T A 、 1 1 T B を充填する S i G e 混晶層 1 4 A 、 1 4 B は、前記シリコン基板 1 1 とゲート絶縁膜 1 2 との界而を超えて成長する。かかる S i G e 混晶層 1 4 A 、 1 4 B の形成の結果、前記ゲート絶縁膜 1 2 直下のチャネル領域には大きな一軸性圧縮応力が印加され、前記チャネル領域を輸送されるホールの移動度が大きく増大する。

## [0040]

このような限られた面積における低温成長の結果、前記SiGe層14A,14Bは、従来、Si基板上に成長させる場合の限界と考えられていた、原子濃度で20%のGe濃度を超えて、結晶品質を劣化させることなく、原子濃度で28%のGeを含むことが可能であるのが確認されている。

## [0041]

図3 (D) の構造では、図3 (C) の工程において前記トレンチ11 TA, 11 TBが前記側壁絶縁膜13 WNを自己整合マスクに形成されているため、前記 Si Ge 混晶屑14A, 14 Bは前記チャネル領域に最も近接して形成され、前記チャネル領域に印加される一軸性圧縮応力を最大にすることが可能である。

### [0042]

さらに図3(E)の工程において、前記素子領域11Aに残されていたCVD酸化膜14が、前記シリコン基板11の表面が露出するまでエッチバックされ、その結果、前記素領域11Aにおいては前記ゲート電極13NのSiN側壁絶縁膜13WNのさらに外側に、外側側壁酸化膜14Wが形成され、前記素子領域11Bを図示しないレジストマスクで覆った状態で、前記ポリシリコンゲート電板13N、前記側壁酸化膜13O、前記側壁絶

10

20

30

40

縁膜 13 N W および外側側壁酸化膜 14 W をマスクに、 P+などの n 型不純物元素を、 15 k e V の加速電圧下、  $7 \times 10^{13}$  c m  $^{-2}$  のドーズ量でイオン注入することにより、前記シリコン基板中、前記ソース/ドレイン領域 115 N , 110 N , 110 N b を形成する。

### [0043]

このように前記バッファソース/ドレイン領域11SNb、11DNbを前記外側側壁酸化膜14Wのさらに外側に形成することにより、本実施例では前記拡散領域11SNb、11DNbの間に充分な間隔を確保することが可能となり、かかる拡散領域を介したリーク電流の発生を抑制することができる。

### [0044]

### [0045]

本発明によれば、このように共通基板上に n チャネルMOSトランジスタおよび p チャネルMOSトランジスタを形成することにより、高速 C M O S 索子を構成することが可能になる。

#### [0046]

本発明では特に、図2(C)のトレンチ形成工程において、ウェットエッチングを使うことにより、トレンチ11TA,11TBの側壁面にSi(111)面などの結晶面を露出させることが可能で、図3(D)の工程でエピタキシャル成長されるSiGe混晶層14A,14Bの結晶品質を向上させることができる。また前記トレンチ形成工程を、ドライエッチングとウェットエッチングを組み合わせて実行することにより、前記トレンチ11TA,11TBの側壁面を、図4に示すように、前記ゲート絶縁膜12直下のチャネル領域に向かって侵入する楔形状に形成することができるが、この場合、かかるトレンチ11TA,11TBを充填するSiGe混晶層14A,14Bの先端部は、前記側壁絶縁膜13WN直下の領域に侵入し、前記チャネル領域に近接するため、前記チャネル領域における一軸性圧縮応力の大きさはさらに増大し、前記pチャネルMOSトランジスタの動作速度をさらに増大させることができる。

## [0047]

さらに本実施例では図2(B)の工程において、前記素子領域11B中、前記p型ソース/ドレイン領域11SP,11DPの下方にp ̄型の拡散領域11SPb,11DPbを形成しておくことにより、前記SiGe混晶層14A,14Bが、ドーパントガスを供給しながら実行されるエピタキシャル成長により、高いドーパント濃度で形成された場合でも、前記p型ソース/ドレイン領域11SP,11DP直下のp/n接合部における不純物濃度の急変が回避され、接合容量の増大や耐圧の低下などの問題を回避することができる。

### [第2実施例]

次に本発明の第2実施例による半導体集積回路装置の製造方法を、図5 (A) ~図6 (F) を参照しながら説明する。ただし図中、先に説明した部分に対応する部分には同一の「参照符号を付し、説明を省略する。

### [0048]

図 5 ( A ) ~ 図 6 ( F ) を参照するに、図 5 ( A ) および図 5 ( B ) の工程は、前記図 2 ( A ) および図 2 ( B ) の工程と同じであり、説明を省略する。

## [0049]

本実施例では図5(C)の工程において、前記素子領域11Aおよび11Bの双方において、前記側壁絶縁膜13WNの外側に、CVD酸化膜の堆積およびエッチバックにより

10

-

20

40

、前記外側側壁酸化膜 1.4 Wを約 4.0 n mの厚さに形成し、この段階において、前記素子領域 1.1 A において前記ゲート電極 1.3 N 、側壁酸化膜 1.3 O 、側壁絶縁膜 1.3 W N をマスクに、n型不純物元素を前記シリコン基板 1.1 中にイオン注入し、前記 n -型のバッファソース/ドレイン拡散領域 1.1 S N b および 1.1 D N b を形成する。なお、前記 C V D 酸化膜の堆積は、プラズマ C V D 法により、6.0 0  $\mathbb{C}$  以下の温度で行うのが好ましい。

さらに図6(D)の工程において、図5(C)の構造上にCVD酸化膜15を約50nmの厚さに形成し、図2(C)と同様な素子領域11Aを覆うレジストパターンR2を形成する。さらに前記レジストパターンR2をマスクに、前記素子領域11Bにおいて前記CVD酸化膜15を、異方性ドライエッチングまたはHF中でのウェットエッチング、またはこれらの処理を適宜組み合わせた処理により除去し、図6(E)の工程で、前記素子領域11Bにおいて、前記側壁絶縁膜13WN、側壁酸化膜130、およびポリシリコンゲート電極パターン13Pを自己整合マスクに、前記シリコン基板11を、先に図2(C)の工程と同様にエッチングし、トレンチ11TAおよび11TBを形成する。図6(E)の工程では、前記トレンチ11TA,11TBの形成に伴い、前記ポリシリコンゲート電板13Pの上部もエッチング除去されているのがわかる。なお、前記CVD酸化膜15の堆積も、プラズマCVD法により、600℃以下の温度で行うのが好ましい。

[0051]

[0050]

さらに図6(F)の工程では、このようにして形成されたトレンチ11TA,11TBを充填するように、前記先の図3(D)の工程と同様に、前記SiGe混晶層14A,14Bをエピタキシャル成長させる。その際、前記素子領域11Aは前記CVD酸化膜15により覆われているため、SiGe混晶層の成長は生じない。また前記SiGe混晶層14A,14Bの成長と同時に、前記ポリシリコンゲート電極13P上にも、多結晶SiGe層14Cが成長している。

[0052]

さらに図6(F)の工程において、前記CVD酸化膜15をウェットエッチングにより除去し、露出したn型ソース/ドレイン領域11SNおよび11DN、p型ソース/ドレイン領域11SP、さらにn型ポリシリコンゲート電極13N、p型ポリシリコンゲート電極13P上に、シリサイド層16を形成する。

[0053]

本実施例によれば、SiGe 混晶層領域 14A, 14Bの形成が、シリサイド形成プロセスの直前に行われ、SiGe 混晶層領域 14A, 14Bが形成された後に、例えば図3(E)のような側壁絶縁膜形成工程が含まれないため、SiGe 混晶層 14A, 14Bが かかる側壁絶縁膜形成工程の際に使われるドライエッチング工程において生じる荷電粒子に対して曝されることがない。このため、かかる荷電粒子の衝突によりSiGe 混晶層 14A, 14B 表面から放出されたGeが、半導体装置の製造を妨げることがない。また、他の、たとえばSiGe 混晶を使わない半導体装置の製造を妨げることがない。また、前記SiGe 混晶層 14A, 14B の表面が、ドライエッチングで使われる荷電粒子に曝されることがないため、図6(F) のシリサイド形成工程においても、SiGe 混晶層 14A, 14B の表面が不規則になってシリサイド形成が困難になる問題が回避される。

[第3実施例]

次に、本発明の第3実施例による半導体集積回路装置の製造工程を、図7 (A) ~図8 (F) を参照しながら説明する。ただし図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

[0054]

図 7 ( A ) ~ 8 ( F ) を参照するに、図 7 ( A ) の工程は、先の図 2 ( A ) あるいは図 5 ( A ) の工程と同じであり説明を省略する。

[0055]

本実施例では図7(B)の工程において、先の図5(B)の工程と同様に、前記ポリシ

U

20

30

リコンゲート電極 1 3 N 、 1 3 P の各々の側壁面上に S i N 側壁絶縁膜 1 3 W N を形成するが、図 7 (B) の工程では、さらなるイオン注入は行わず、図 7 (C) の工程に進む。【0 0 5 6】

図7(C)の工程では、前記素子領域11A,11Bにおいて、前記ポリシリコンゲート電極13Nおよび13Pの各々を覆うSiNあるいはSiON側壁絶縁膜13WN上に、図3(E)の工程と同様の工程により、外側側壁酸化膜14Wを形成し、さらに前記ポリン関域11Bを、図示しないレジストマスクで覆い、前記素子領域11A中に、前記ポリンリコンゲート電極13N、CVD酸化膜13O、側壁絶縁膜13WNおよび外側側壁般比膜14Wをマスクに、P+やAs+などのn型不純物元素をイオン注入し、前記シリコン域11SNb,11DNbと同様な、n-型拡散領域を形成する。

さらに図8(D)の工程において前記素子領域11Aおよび11Bにおいて前記外側側壁酸化膜14Wを除去し、前記素子領域11Bをレジストマスク(図示せず)で覆い、前記素子領域11A中にP+やAs+などのn型不純物元素を、前記ポリシリコンゲート電板13N、側壁酸化膜13および側壁絶縁膜13WNを自己整合マスクにイオン注入し、前記n型ソース/ドレイン領域11SNおよび11DNを、前記ソース/ドレインエクステンション領域11a,11bよりも深く、しかし前記バッファソース/ドレイン領域11SNb、11DNbよりも浅く形成する。

[0058]

さらに図8(D)の工程では、前記素子領域11Aをレジストマスク(図示せず)で覆い、前記素子領域11B中にB+を例えば3keVの加速電圧下、 $1 \times 10^{15}$  c m  $^{-2}$  のドーズ量でイオン注入し、前記シリコン基板11中、前記 p 型ソース/ドレインエクステンション領域11aP,11bPよりも深い位置に p 型ソース/ドレイン領域11SPおよび11DPを形成する。

[0059]

[0060]

さらに図8(E)の工程において、前記素子領域11Aを、先の図6(E)の工程におけるCVD酸化膜15と同様な酸化膜により覆い、前記素子領域11Bにおいて、前記ポリシリコンゲート電極13P,側壁酸化膜130および側壁絶縁膜13WNをマスクに、図2(C)あるいは6(E)の工程と同様にして、前記ゲート電極13Pの両側にトレンチ11TA,11TBを形成する。かかるトレンチ形成に伴って、前記p型ポリシリコンゲート電極パターン13Pも、その上部がエッチングされている。

[0061]

さらに図8(F)の工程において、先の図3(D)あるいは6(F)の工程と同様にして、前記トレンチ11TA、11TB中にSiGe混晶層14A、14Bをエピタキシャル成長させることにより、前記ゲート電極13Pの直下のチャネル領域に、大きな一軸性圧縮応力を誘起される。また、同時に前記p型ポリシリコンゲート電極13P上には、p型多結晶SiGe層14Cが成長する。

[0062]

図8(F)の工程では、さらに露出されたSiGe混晶層14A,14Bの表面および前記ポリシリコンSiGe層14C上、および前記n型ソース/ドレイン領域11SN,11DNおよびn型ポリシリコンゲート電極13N上に、シリサイド層16が形成されている。

[0063]

図7 (A) ~図8 (F) の工程においても、前記 S i G e 混晶層 1 4 A , 1 4 B を、前

20

10

記ポリシリコンゲート電極13P直下のチャネル領域近傍に形成することが可能になる。

## [第4実施例]

次に、本発明の第4実施例による半導体集積回路装置の製造方法について、図9(A)~図11(I)を参照しながら説明する。ただし図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

## [0064]

図9(A)を参照するに、この工程においては、前記素子領域11Aにおいてポリシリコンゲート電極13Nが、また素子領域11Bにおいてポリシリコンゲート電極13Pが、それぞれゲート絶縁膜12を介して形成されており、図9(B)の工程において、前記ゲート電極N13および13Pの側壁面上に、厚さが約5nmの内側側壁酸化膜13WOを、熱酸化処理およびこれに引き続くエッチバック工程により形成する。

前記エッチバック工程は、前記シリコン基板11の表面が露出するように実行され、さらに図9(B)の工程では、前記内側壁酸化膜WOを覆うように、SiN膜を堆積したのち、エッチバックすることにより、SiNよりなる内側側壁窒化膜13WNiを、典型的には5nmの厚さに形成する。前記内側側壁窒化膜13WNiを形成するエッチバック工程も、前記シリコン基板11の表面が露出するまで実行される。

さらに図9 (B) の工程では、前記素子領域11Bにおいて、B+などのp型不純物元素をイオン注入し、p型ソース/ドレインエクステンション領域11aP,11bPを形成する。

## [0067]

[0066]

次に図9(C)の工程において、さらに前記ポリシリコンゲート電極13N,13Pにおいて、前記内側側壁絶縁膜13WNi上にさらに側壁酸化膜13Oiを形成し、素子領域11Bにおいて、前記ポリシリコンゲート電極13P、内側側壁酸化膜13WO、内側壁絶縁膜13WNiおよび前記側壁酸化膜130iを自己整合マスクに、B+などのp型不純物元素をイオン注入し、p型ソース/ドレイン領域11SPおよび11DPを形成する。

## [0068]

### [0069]

さらに図10 (E) の工程において、前記側壁酸化膜14Wiおよび120iをHF処理により除去して前記内側側壁絶縁膜13WNiを露出させ、前記素子領域11Bにおいて、前記前記ポリシリコンゲート電極13P、内側側壁酸化膜13WOおよび内側側壁絶縁膜13WNiをマスクに、図2 (A) と同様なイオン注入を行い、前記 p 型ソース/ドレインエクステンション領域11aP, 11bPを形成する。

さらに図10(E)の工程では、前記ポリシリコンゲート電極13Nおよび13Pの各々について、前記内側側壁絶縁膜13WNi上に、先の実施例における側壁酸化膜130および側壁酸化膜13WNに対応する側壁酸化膜および側壁窒化膜を形成する。

50

12/13/06, EAST Version: 2.1.0.14

10

30

20

## [0071]

さらに図10(F)の工程において、図10(E)の構造をCVD酸化膜15で覆った 後、レジストパターンR3をマスクに、前記CVD酸化膜を前記素子領域11Bから除去 し、先の図8 (D)~8 (F) にそれぞれ対応する工程を、図11 (G)~図11 (I) の工程において実行することにより、前記ポリシリコンゲート電極13N,13Pの側壁 絶縁膜の構造を除けば図8(F)の構造と同じ構造が、図11(I)の工程において得ら れる。

### [0072]

先の実施例では、前記ポリシリコンゲート電極 1 3 N あるいは 1 3 P の側壁面を覆う C VD酸化膜130が、連続して、前記チャネル領域の両側において前記シリコン基板表面 をも覆う構成となっていた。しかし、かかる構成では、例えば図2(C)あるいは図6( E)、図8(E)のトレンチ11TA、11TB形成の後で施されるHFエッチング処理 など、HFを使った処理を行った場合、前記CVD酸化膜130が、前記シリコン基板1 1上のチャネル領域近傍においてHFによりエッチングされる可能性があり、このような エッチングを回避するためには、エッチング条件を制御する必要がある。

### [0073]

これに対し、本実施例の構成によれば、前記ポリシリコンゲート電極13P(およびN 13N)の側壁酸化膜13WOの外側に、シリコン基板11の表面に達するように内側側 壁絶縁膜13WNiが形成されているため、繰り返しHF処理を含む工程が行われても、 HFがゲート電極13Pあるいは13N直下のゲート絶縁膜12あるいはその下のチャネ ル領域に侵入することがなく、半導体装置の製造が容易になるとともに、歩留まりも向上 する。前記内側側壁絶縁膜13WNiは、単にHFの侵入を阻止するために設けられるだ けなので、実質的な厚さは必要なく、例えば5nm程度で充分である。この場合、前記S i G e 混晶層 1 4 A , 1 4 B とチャネル領域の間の距離は多少増大するが、前記内側側壁 絶縁膜13WNiの膜厚を最小限に抑制することにより、前記SiGe混晶層14A,1 4 B H が前記チャネル領域に及ぼす一軸性圧縮応力の大きさの低減は最小限にとどめられ る。

## [第5実施例]

次に、本発明の第5実施例について、図12(A)~図14(H)を参照しながら説明 する。ただし図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を 省略する。

## [0074]

図12(A)を参照するに、前記シリコン基板11上には前記素子領域11A中にn型 ポリシリコンゲート電極13Nが、また前記素子領域11B中にp型ポリシリコンゲート 電極13Pが、それぞれSiONなどよりなるゲート絶縁膜12を介して形成されており 、図12(B)の工程において、前記ポリシリコンゲート電極13Nおよびポリシリコン ゲート電極13P上に、側壁酸化膜SW1が形成される。

### [0075]

さらに前記図12(B)の工程では、前記ポリシリコンゲート電極13Nおよび前記側 壁酸化膜SW1をマスクに前記素子領域11A中にn型不純物元素が、先の図2(B)の 工程と同様にイオン注入され、前記シリコン基板11中には、n型ソース/ドレイン拡散 領域115N,11Dンが形成される。

## [0076]

さらに前記図12(B)の工程では、前記ポリシリコンゲート電極13Pおよび前記側 壁酸化膜SW1をマスクに前記素子領域11B中にp型不純物元素が、先の図2(B)の 工程と同様にイオン注入され、 p型ソース/ドレインエクステンション領域 1 1 a P およ. び11bP、およびp型ソース/ドレイン領域11SPおよび11DPが形成される。

### [0077]

さらに図12(C)の工程において、前記ポリシリコンゲート電極13Nおよび13P

10

の各々において、前記側壁酸化膜 S W 1 上に側壁絶縁膜 S W 2 が形成され、さらに前記図 1 2 (C) の工程では、前記素子領域 1 1 A において、前記ポリシリコンゲート電極 1 3 N および側壁酸化膜 S W 1 , S W 2 をマスクに、 n 型不純物元素を図 2 (C) の工程と同様にしてイオン注入することにより、 n -型のバッファソース/ドレイン拡散領域 1 1 S N b , 1 1 D N b を、より深い位置に形成する。

### [0078]

さらに図12(C)の工程では、前記素子領域11Bにおいて、前記ポリシリコンゲート電極13Pおよび側壁酸化膜SW1,SW2をマスクに、p型不純物元素を図2(B)の工程と同様にしてイオン注入することにより、p-型のバッファソース/ドレイン拡散領域11SPb,11DPbを、より深い位置に形成する。

### [0079]

次に図13(D)の工程において、前記側壁酸化膜SW1、SW2を前記ポリシリコンゲート電極13N、13Pの側壁面から、HF処理により除去し、新たにCVD酸化膜13Oを形成した後、SiNよりなる側壁絶縁膜13WNを、CVDプロセスおよびエッチバック工程により、前記シリコン基板11の表面が素子領域11A、11Bにおいて露出するように形成する。

## [0080]

. 次に図13(E)の工程において、図13(D)の構造上にCVD酸化膜15を形成し、さらにこれを、前記素子領域11Aに形成したレジストパターンR4をマスクに、前記素子領域11Bから除去し、さらに図13(F)の工程で、前記素子領域15に残留しているCVD酸化膜15をマスクに、また前記ポリシリコンゲート電極13Pおよび側壁絶縁膜130、13WNを自己整合マスクに、前記素子領域11Bにトレンチ11TA、11TBを、先の図11(G)の工程と、ゲート側壁絶縁膜の構造を除けば同様にして形成する。

### [0081]

さらに図14(G)~図14(H)の工程を、先の図11(H)~図11(I)の工程と同様にして実行することにより、側壁絶縁膜の構造を除き、図11(I)と同様な構造を有する半導体装置が、図14(H)の工程において得られる。

## [第6実施例]

ところで、先に説明した各実施例においては、ポリシリコンゲート電極13Nあるいは13PにSiN側壁絶縁膜13WNを形成する場合、ポリシリコンゲート電極とSiN側壁絶縁膜との間の界面特性を改善するため、前記ポリシリコンゲート電極13Nあるいは13PとSiN側壁絶縁膜13WNとの間に、膜厚が10nm程度のCVD酸化膜13Oが形成されている。かかるCVD酸化膜13Oは、前記ポリシリコンゲート電極13Pの側壁面に沿って延在する部分は、前記ポリシリコンゲート電極13Pの上部において露出される。また前記CVD酸化膜13Oは、前記SiN側壁絶縁膜13WNとシリコン基板11表面の間を連続的に延在し、前記SiN側壁絶縁膜13WNの側壁面下部において露出される。

### [0082]

一方、このような CVD 酸化膜 130 は、例えば先の図 2(C) の工程などで、前記トレンチ 11TA, 11TB の形成の際に、前記トレンチ側壁面のクリーニングのためにHF処理が施されると、図 15 に示すように侵食されてしまい、前記露出部において深いスリットが形成される恐れがある。このようなスリットは、前記図 2(C) のトレンチ形成の際のみならず、例えば図 8(D) の工程のように、外側側壁絶縁買う 14W をHF処理により除去する場合にも形成される。図 8(D) の例では、かかるスリットは、 p チャネルMOSトランジスタのみならず、 n チャネルMOSトランジスタにおいても生じることがわかる。

### [0083]

特にこのようなシリコン基板11中へのトレンチ形成においては、前記ポリシリコンゲ 50

10

30

40

ート電極 1 3 P も上部がエッチング・除去されるため、前記 C V D 酸化膜 1 3 O は大きな 面積にわたり露出され、かかる露出部分が H F 処理の際にエッチングを受ける。

### [0084]

このようなCVD酸化膜13Oのエッチングの結果、ゲート電極の側壁面および底面には深いスリットが形成されてしまうが、かかるスリットは、その後の工程で不純物を蓄積するボイドを形成したり、欠陥を形成したりする恐れがある。

### [0085]

そこで本発明の第6実施例においては、図16に示すように、このようなトレンチ形成工程に先立って、前記CVD酸化膜130のうち、このようなHF処理により侵食が生じる露出部分を、実際の半導体装置製造プロセス中におけるHF処理に先立って、制御されたHF処理を行い、さらにこのようにして形成されたスリットを、HFに対して耐性を有す層に13Wnより充填する。

## [0086]

図17(A)~図17(D)は、このような、HF処理に先立って、前記CVD酸化膜130のうち、HF処理により侵食される部分を、HF耐性を有する膜13Wnにより充填する工程を示す。図17(A)~図17(D)の説明は、pチャネルMOSトランジスタについてのものであるが、同様の工程を、同時にnチャネルMOSトランジスタについても行うことができる。

## [0087]

図 1 7 (A) ~ 図 1 7 (D) を参照するに、図 1 7 (A) は例えば図 2 (B) あるいは図 5 (B) 、あるいは図 7 (C) の工程で、前記ポリシリコンゲート電極 1 3 Pの側壁面に、C V D 酸化膜 1 3 O を介して S i N 側壁絶縁膜 1 3 W N が形成された状態に対応しており、次に図 1 7 (B) の工程で、次の工程、例えば図 2 (C) の工程に進む前に、図 1 7 (B) の構造を H F 中において処理し、前記 C V D 酸化膜 1 3 O 中に、スリット 1 3 O s を形成する。

### [0088]

このスリット130s は、その後のトレンチ形成工程においてポリシリコンゲート電極 13P中に生じるエッチングの深さを勘案して、前記エッチング深さに少なくとも等しく なるように、一例では20~30nmの深さに形成される。

### [0089]

次に図17(C)の工程において、図17(B)の構造上に、有機シリコン原料とアンモニアを原料としたCVD法により、SiN膜18Nを、前記スリット13Osを充填するように堆積する。

## [0090]

例えば  $0.1 \sim 1000$  Paの圧力下、特に好ましくは  $5 \sim 100$  Paの圧力下、  $300 \sim 700$  C、特に  $450 \sim 650$  Cの基板温度において、前記有機シリコン原料としてビスターシャルブチルアミノシラン(BTBAS)を  $20 \sim 400$  S C C M、特に  $80 \sim 200$  S C C Mの流量で供給し、さらにアンモニアガスを  $10 \sim 200$  S C C M、特に  $30 \sim 500$  S C C M流量で供給して前記シリコン基板 11 上に S i N 膜 18 N を 5 n m 以下の厚さに形成することにより、前記スリット 130 S を 図 16 の 膜 13 W n に対応し 10 C 、 10 N 膜 18 N で充填することができる。

### [0091]

図17 (C) の工程では、さらに前記側壁絶縁膜13 W上に酸化膜14が堆積されており、図17 (D) の工程で前記酸化膜14を、その下のSiN膜18 Nまで含めて、前記シリコン基板11が露出するまでエッチバックすることにより、前記SiN側壁絶縁膜13 W上に側壁酸化膜14 Wが形成される。

### [0092]

なお、図17(C)の工程を、0.1~3000Paの圧力下、特に好ましくは5~300Paの圧力下、300~650℃、特に450~580℃の基板温度において、前記有機シリコン原料として前記BTBASを20~400SCCM、好ましくは80~20

ıU

20

## [0093]

なお図17(C)の工程において、前記HF耐性膜18NとしてSiN膜を使った場合、ポリシリコンゲート電極13PとSiN膜とが、ゲート電極13Pの上部において接することになるが、この部分には後でシリサイドが形成されるため、特に問題は生じない。 【0094】

図17(D)の工程の後、例えば図2(D)、図6(E)、図8(E)、図11(G)あるいは図13(E)以下の工程が行われる。

[0095]

特に図2 (C) の工程に対応して、図17 (C), 17 (D) の工程を、図18 (A), 18 (B) のように変形することも可能である。

[0096]

図18(A)の工程では、図17(C)におけるCVD酸化膜14の形成が省略され、その結果、図18(B)のエッチバック工程において、前記シリコン基板11表面に薄く堆積されたSiN膜18Nが除去される。

[0097]

このようなHF耐性膜13Wnは、前記pチャネルMOSトランジスタのみならず、nチャネルMOSトランジスタにも形成され、その結果、例えば前記図2(B)の工程の後、図2(C)の工程開始前にシリコン基板11上には、図19に示す構造が形成される。

[0098]

また本実施例において、前記図17(C)の工程は、ステップカバレッジに優れた原子層CVD法により、SiN膜あるいはSiON膜を、一原子層ずつ積層することで実行することも可能である。

[0099]

以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

[0100]

(付記1)

素子分離構造により、第1の素子領域と第2の素子領域とを画成されたシリコン基板と

前記第1の素子領域上に形成された n チャネル M O S トランジスタと、

前記第2の素子領域上に形成されたpチャネルMOSトランジスタとよりなる半導体集積回路装置であって、

前記nチャネルMOSトランジスタは、

第1の側壁絶縁膜を両側壁面上に有する第1のゲート電極と、

前記第1の素子領域中、前記第1の側壁絶縁膜の外側に形成されたn型ソースおよびドレイン拡散領域を含み、

前記pチャネルMOSトランジスタは、

第2の側壁絶縁膜を両側壁面上に有する第2のゲート電極と、

前記第2の素子領域中、前記第2の側壁絶縁膜の両側に形成されたp型ソースおよびドレイン拡散領域と、

前記第2の素子領域中、前記第2の側壁絶縁膜の両側に、それぞれ前記p型ソースおよびドレイン拡散領域内に含まれるように形成されたトレンチを充填するように、前記シリコン基板に対してエピタキシャルに形成された第1および第2のSiGe混晶層領域とを含み、

50

40

10

前記第1および第2のSiGe混晶層領域の各々は、これに対応する前記第2の側壁絶縁膜の表面に対して自己整合する位置関係に形成されており、

前記第1の素子領域中における前記n型ソース拡散領域と前記n型ドレイン拡散領域との間の距離は、前記第2の素子領域中における前記p型ソース拡散領域と前記p型ドレイン拡散領域との間の距離よりも、前記それぞれの拡散領域の下端部で比較した場合、大きいことを特徴とする半導体集積回路装置。

## [0101]

(付記2)

前記第1の側壁絶縁膜と前記第2の側壁絶縁膜とは、それぞれ第1および第2の、互いに異なった構造を有することを特徴とする付記1記載の半導体集積回路装置。

10

## [0102]

(付記3)

前記第1の側壁絶縁膜は、HFにより侵食される第1の材料により、その表面が形成され、前記第2の側壁絶縁膜は、HFに対して耐性を有する第2材料により、その表面が形成されることを特徴とする付記1または2記載の半導体集積回路装置。

## [0103]

(付記4)

前記第1の側壁絶縁膜は、前記第2の側壁絶縁膜と同一構成の下側側壁絶縁膜と、前記下側側壁絶縁膜上に形成された、前記第1の材料よりなる上側側壁絶縁膜とよりなることを特徴とする付記3記載の半導体集積回路装置。

20

### [0104]

(付記5)

前記第1の側壁絶縁膜と前記第2の側壁絶縁膜とは、同一の構成を有することを特徴とする付記1記載の半導体集積回路装置。

### [0105]

(付記6)

前記第1および第2の側壁絶縁膜の前記第1および第2の表面は、HFに対して耐性を 有する材料により形成されることを特徴とする付記5記載の半導体集積回路装置。

## [0106]

(付記7)

30

前記第1および第2のゲート電極の側壁面は、CVD酸化膜により覆われており、前記第1の側壁絶縁膜は前記第1のゲート電極上に、前記CVD酸化膜を介して形成されており、前記第2の側壁絶縁膜は前記第2のゲート電極上に、前記CVD酸化膜を介して形成されていることを特徴とする付記1~6のうち、いずれか一項記載の半導体集積回路装置

### [0107]

(付記8)

前記第1および第2のSiGe混晶層の各々は、Geを原子濃度で20%を超えて含むことを特徴とする付記1~7のうち、いずれか一項記載の半導体集積回路装置。

### [0108]

40

(付記9)

前記第1および第2のSiGe混晶層の各々は、前記シリコン基板表面を超えて形成されたことを特徴とする付記1~8のうち、いずれか一項記載の半導体集積回路装置。

## [0109]

(付記10)

前記第1および第2のSiGe混晶層の各々は、少なくとも前記ゲート絶縁膜直下のチャネル領域に面する側の側壁面が、複数の、平坦なファセットにより画成されていることを特徴とする付記1~9のうち、いずれか一項記載の半導体集積回路装置。

### [0110]

(付記11)

素子分離構造により、第1の素子領域と第2の素子領域とを画成されたシリコン基板と

前記第1の素子領域上に形成されたnチャネルMOSトランジスタと、

前記第2の素子領域上に形成されたpチャネルMOSトランジスタとよりなる半導体集積回路装置であって、

前記nチャネルMOSトランジスタは、

第1の側壁絶縁膜を両側壁面上に有する第1のゲート電極と、

前記第1の素子領域中、前記第1の側壁絶縁膜の外側に形成されたn型ソースおよびドレイン拡散領域を含み、

前記pチャネルMOSトランジスタは、

第2の側壁絶縁膜を両側壁面上に有する第2のゲート電極と、

前記第2の素子領域中、前記第2の側壁絶縁膜の両側に形成された p 型ソースおよびドレイン拡散領域と、

前記第2の素子領域中、前記第2の側壁絶縁膜の両側に、それぞれ前記p型ソースおよびドレイン拡散領域内に含まれるように形成されたトレンチを充填するように、前記シリコン基板に対してエピタキシャルに形成された第1および第2のSiGe混晶層領域とを含み、

前記第1および第2のSiGe混晶層領域の各々は、これに対応する前記第2の側壁絶縁膜の表面に対して自己整合する位置関係に形成されており、

前記第1 および第2の側壁絶縁膜の各々は、前記HFに対して耐性を有する材料よりなる下側側壁絶縁膜と、前記下側側壁絶縁膜上に形成されHFにより侵食される材料よりなる中間側壁絶縁膜と、前記中間側壁絶縁膜上に形成され、前記HFに対して耐性を有する材料よりなる上側側壁絶縁膜とよりなることを特徴とする半導体集積回路装置。

### [0111]

(付記12)

素子分離構造により、第1の素子領域と第2の素子領域とを画成されたシリコン基板と、前記第1の素子領域上に形成された、第1のゲート電極パターンを有する n チャネルM O S トランジスタと、前記第2の素子領域上に形成された、第2のゲート電極パターンを有する p チャネルM O S トランジスタとよりなり、前記 p チャネルM O S トランジスタにおいては、前記第2のゲート電極パターン直下のチャネル領域の両側に、前記シリコン基板に対してエピタキシャルに形成された p 型 S i G e 混晶層領域を含む半導体集積回路装置の製造方法であって、

前記第1 および第2 の素子領域中において、前記第1 のゲート電極パターンと前記第2 のゲート電極パターンのそれぞれの側壁面上に、HFに対して耐性を有する第1の材料により、第1の側壁絶縁膜を形成する工程と、

前記第2の素子領域中において、前記第2のゲート電極パターン、および前記第2のゲート電極パターン上の前記第1の側壁絶縁膜を自己整合マスクに、p型不純物元素のイオン注入を行い、前記シリコン基板中、前記第2のゲート電極パターンの両側にp型のソースおよびドレイン領域を形成する工程と、

前記第1の素子領域中において、前記第1のゲート電極パターン上の前記第1の側壁絶縁膜上に、前記第1の側壁絶縁膜に対してエッチング選択性を有する第2の側壁絶縁膜を形成する工程と、

前記第1の素子領域中において、前記第1のゲート電極パターンと、前記第1のゲート電極パターン上の前記第1の側壁絶縁膜および前記第2の側壁絶縁膜を自己整合マスクに、n型不純物元素をイオン注入し、前記第1の素子領域中、前記第1のゲート電極パターンの両側にn型のソースおよびドレイン領域を形成する工程と

前記第1の素子領域を覆うように、また前記第2の素子領域を露出するように、マスク 絶縁膜を形成する工程と、

前記マスク絶縁膜を形成する工程の後、前記第1の素子領域を前記マスク絶縁膜で覆った状態で、前記第2の素子領域中において、前記第2のゲート電極パターン、および前記

10

20

30

第2のゲート電極パターン上の前記第1の側壁絶縁膜をマスクに前記シリコン基板をエッチングし、前記第2のゲート電極パターンの両側に、前記第1の側壁絶縁膜により隔てられて、第1および第2のトレンチを形成する工程と、

前記第1および第2のトレンチを形成する工程の後、前記第1の素子領域を前記マスク絶縁膜で覆った状態で、前記第1および第2のトレンチ中に、p型SiGe混晶層をエピタキシャル成長させ、前記p型SiGe混晶層領域を形成する工程と、よりなることを特徴とする半導体集積回路装置の製造方法。

## [0112]

(付記13)

前記シリコン基板をエッチングする工程は、前記第1および第2のトレンチの表面を、HFまたは有機アルカリ系のエッチャントにより処理する工程、または等方性ドライエッチングまたは前記ウェット処理とドライエッチングの適宜の組み合わせによる処理工程を含むことを特徴とする付記12記載の半導体集積回路装置の製造方法。

### [0113]

(付記14)

前記第1のゲート電極パターン上の前記第2の側壁絶縁膜は、前記p型SiGe混晶層領域の形成工程の後、前記絶縁膜をエッチバックすることにより、形成されたものであることを特徴とする請求項12または13記載の半導体集積回路装置の製造方法。

## [0114]

(付記15)

前記第1の素子領域中に前記n型のソース領域およびドレイン領域を形成する工程は、前記n型不純物元素を、第1の加速電圧および第1のドーズ量でイオン注入する工程を含み、

さらに、前記第2の素子領域中に前記p型ソース領域およびドレイン領域を形成する工程と同時に実行される、前記第1の素子領域中に、前記第1のゲート電極パターン、および前記第1のゲート電極パターン上の前記第1の側壁絶縁膜を自己整合マスクに、前記n型不純物元素を、第2の、前記第1の加速電圧よりも大きい加速電圧で、第2の、前記第1のドーズ量よりも小さいドーズ量でイオン注入する工程を含むことを特徴とする請求項14記載の半導体集積回路装置の製造方法。

## [0115]

(付記16)

前記第1の素子領域中において、前記第1のゲート電極パターン上の前記第1の側壁絶縁膜上に、前記第2の側壁絶縁膜を形成する工程は、同時に前記第2の素子領域中において、前記第2のゲート電極パターン上の前記第1の側壁絶縁膜上にも、同時に前記第2の側壁絶縁膜を形成する工程を含み、

前記第2の素子領域中において前記p型のソースおよびドレイン領域を形成する工程は、前記第1の素子領域中において前記n型のソースおよびドレイン領域を形成する工程の後、前記第2のゲート電極パターン上の前記第2の側壁絶縁膜を除去した状態で実行されることを特徴とする付記12または13記載の半導体集積回路装置の製造方法。

### [0116]

(付記17)

前記第1の素子領域中において、前記第1のゲート電極パターン上の前記第1の側壁絶縁膜上に、前記第2の側壁絶縁膜を形成する工程は、同時に前記第2の素子領域中において、前記第2のゲート電極パターン上の前記第1の側壁絶縁膜上にも、同時に前記第2の側壁絶縁膜を形成する工程を含み、

前記第2の素子領域中において前記p型のソースおよびドレイン領域を形成する工程は、前記第2のゲート電極パターン上に前記第2の側壁絶縁膜を形成する前に実行されることを特徴とする付記16記載の半導体集積回路装置の製造方法。

### [0117]

(付記18)

50

40

20

前記第2の素子領域中において前記p型のソースおよびドレイン領域を形成する工程は、前記p型不純物元素を、第1の加速電圧および第1のドーズ量でイオン注入する工程と、前記p型不純物元素を、第2の、より大きな加速電圧および第2の、より小さなドーズ量でイオン注入する工程とを含むことを特徴とする付記17記載の半導体集積回路装置の製造方法。

## [0118]

(付記19)

前記 S i G e 混晶層領域の形成工程の後、前記マスク絶縁膜は、ウェットエッチングにより除去されることを特徴とする付記 1 6~1 8 のうち、いずれか一項記載の半導体集積回路装置の製造方法。

[0119]

(付記20):

さらに、前記第1の素子領域に、前記第1の側壁絶縁膜の形成工程よりも前に、前記第1のゲート電極をマスクに n 型不純物元素をイオン注入して、前記シリコン基板中、前記第1のゲート電極の両側に、前記第1のゲート電極の縁部に対応して、 n 型のソースおよびドレインエクステンション領域を形成する工程と、

前記第2の素子領域に、前記第1の側壁絶縁膜の形成工程よりも前に、前記第2のゲート電極をマスクにp型不純物元素をイオン注入して、前記シリコン基板中、前記第2のゲート電極の両側に、前記第2のゲート電極の縁部に対応して、p型のソースおよびドレインエクステンション領域を形成する工程とを含み、前記n型ソースおよびドレインエクステンション領域の形成工程と前記p型ソースおよびドレインエクステンション領域の形成工程とは、同時に実行されることを特徴とする付記.12~19のうち、いずれか一項記載の半導体集積回路装置の製造方法。

## [0120]

(付記21)

素子分離構造により、第1の素子領域と第2の素子領域とを画成されたシリコン基板と、前記第1の素子領域上に形成された、第1のゲート電極パターンを有する n チャネルM O S トランジスタと、前記第2の素子領域上に形成された、第2のゲート電極パターンを有する p チャネルM O S トランジスタとよりなり、前記 p チャネルM O S トランジスタにおいては、前記第2のゲート電極パターン直下のチャネル領域の両側に、前記シリコン基板に対してエピタキシャルに形成された p 型 S i G e 混晶層領域を含む半導体集積回路装置の製造方法であって、

前記第1および第2の素子領域中において、前記第1のゲート電極パターンと第2のゲート電極パターンのそれぞれの側壁面上に、CVD酸化膜を介して、HFに対して耐性を有する第1の材料により、第1の側壁絶縁膜を形成する工程と、

前記第1 および第2 の素子領域中において、前記第1 のゲート電極パターンと前記第2 のゲート電極パターンのそれぞれにおいて、前記第1 の側壁絶縁膜上に、前記第1 の材料に対してエッチング選択性を示す第2 の材料により、第2 の側壁絶縁膜を形成する工程と

前記第1の素子領域中において前記第1のゲート電極パターン、および前記第1のゲート電極パターン上の前記1および第2の側壁絶縁膜をマスクに、前記シリコン基板中にn型不純物元素をイオン注入し、前記第1のゲート電極パターンの両側にn型のソースおよびドレイン領域を形成する工程と、

前記第2の素子領域中において前記第2のゲート電極パターン、および前記第2のゲート電極パターン上の前記第1および第2の側壁絶縁膜をマスクに、前記シリコン基板中に p型不純物元素をイオン注入し、前記第2のゲート電極パターンの両側にp型のソースおよびドレイン領域を形成する工程と、

前記第1および第2の素子領域中において、前記第1のゲート電極パターンと前記第2のゲート電極パターンのそれぞれの側壁面上に、前記第1の材料に対してエッチング選択性を示す第3の材料により、第3の側壁絶縁膜を形成する工程と、

10

20

30

前記第1の素子領域中において、前記第1のゲート電極パターン、および前記第1のゲート電極パターン上の前記第1~第3の側壁絶縁膜をマスクに、n型不純物元素をさらにイオン注入し、前記n型ソースおよびドレイン領域のそれぞれの下に、第1および第2のn型バッファ拡散領域を、相互に離間して形成する工程と、

前記第2の素子領域中において、前記第2のゲート電極パターン、および前記第2のゲート電極パターン上の前記第1~第3の側壁絶縁膜をマスクに、p型不純物元素をさらにイオン注入し、前記p型ソースおよびドレイン領域のそれぞれの下に、第1および第2のp型バッファ拡散領域を、相互に離間して形成する工程と、

前記第1および第2の素子領域中において、前記第1および第2のゲート電極の側壁面から、前記第2および第3の側壁絶縁膜を、HFを使ったエッチングにより除去する工程と、

さらに前記第1および第2の素子領域中において、前記第1および第2のゲート電極のそれぞれに、HFに耐性を有する第4の側壁絶縁膜を形成する工程と、

前記第2の素子領域において、前記第2のゲート電極、および前記第2のゲート電極上の前記第1および第4の側壁絶縁膜をマスクに、前記シリコン基板をエッチングし、前記第2のゲート電極の両側に、第1および第2のトレンチを形成する工程と、

前記第2の素子領域において、前記第1および第2のトレンチをp型SiGe混晶層のエピタキシャル成長により充填する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

### [0121]

(付記22)

素子分離構造により、第1の素子領域と第2の素子領域とを画成されたシリコン基板と、前記第1の素子領域上に形成された、第1のゲート電極パターンを有する n チャネルMOSトランジスタと、前記第2の素子領域上に形成された、第2のゲート電極パターンを有する p チャネルMOSトランジスタとよりなり、前記 p チャネルMOSトランジスタにおいては、前記第2のゲート電極パターン直下のチャネル領域の両側に、前記シリコン基板に対してエピタキシャルに形成された p 型SiGe 混晶層領域を含む半導体集積回路装置の製造方法であって、

前記第1および第2の素子領域中において、前記第1のゲート電極パターンと第2のゲート電極パターンのそれぞれの側壁面上に、第1の材料により、第1の側壁絶縁膜を形成する工程と、

前記第1の素子領域中において前記第1のゲート電極パターン、および前記第1のゲート電極パターン上の前記1の側壁絶縁膜をマスクに、前記シリコン基板中にn型不純物元素をイオン注入し、前記第1のゲート電極パターンの両側にn型のソースおよびドレイン領域を形成する工程と、

前記第2の素子領域中において前記第2のゲート電極パターン、および前記第2のゲート電極パターン上の前記第1の側壁絶縁膜をマスクに、前記シリコン基板中にp型不純物元素をイオン注入し、前記第2のゲート電極パターンの両側にp型のソースおよびドレイン領域を形成する工程と、

前記第1および第2の素子領域中において、前記第1のゲート電極パターンと前記第2のゲート電極パターンのそれぞれにおいて、前記第1の側壁絶縁膜上に、第2の側壁絶縁膜を形成する工程と、

前記第1の素子領域中において、前記第1のゲート電極パターン、および前記第1のゲート電極パターン上の前記第1および第2の側壁絶縁膜をマスクに、n型不純物元素をさらにイオン注入し、前記n型ソースおよびドレイン領域のそれぞれの下に、より不純物濃度の低い第1および第2のn型バッファ拡散領域を、相互に離間して形成する工程と、

前記第2の素子領域中において、前記第2のゲート電極パターン、および前記第2のゲート電極パターン上の前記第1および第2の側壁絶縁膜をマスクに、p型不純物元素をさらにイオン注入し、前記p型ソースおよびドレイン領域のそれぞれの下に、より不純物濃度の低い第1および第2のp型バッファ拡散領域を、相互に離間して形成する工程と、

20

30

40

前記第1および第2の素子領域中において、前記第1および第2のゲート電極の側壁面から、前記第1および第2の側壁絶縁膜を、エッチングにより除去する工程と、

さらに前記第1および第2の素子領域中において、前記第1および第2のゲート電極の それぞれに、HFに耐性を有する第3の側壁絶縁膜を形成する工程と、

前記第2の素子領域において、前記第2のゲート電極、および前記第2のゲート電極上の前記第3の側壁絶縁膜をマスクに、前記シリコン基板をエッチングし、前記第2のゲート電極の両側に、第1および第2のトレンチを形成する工程と、

前記第2の素子領域において、前記第1および第2のトレンチを p 型 S i G e 混晶層のエピタキシャル成長により充填する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

[0122]

(付記23).

前記第2のゲート電極の各々の側壁面上には、前記側壁而に対向する前記第2の側壁絶縁膜との間に酸化膜が、前記側壁絶縁膜の底部において、前記側壁絶縁膜と前記シリコン基板との間をも延在するように、第1の端部から第2の端部まで連続的に形成されており

前記酸化膜の前記第1の端部は、前記第2のゲート電極と前記第2の側壁酸化膜間において、前記第2のゲート電極の上面から後退した位置に形成されており、前記酸化膜の前記第2の端部は、前記第2の側壁絶縁膜の側壁面から後退した位置に形成されており、

前記第2のゲート電極と前記第2の側壁絶縁膜との間には、前記第2のゲート電極の上面から前記酸化膜の前記第1の端面までの間に、HFに対して耐性を有する材料よりなる第1の膜領域が形成されており、

前記シリコン基板と前記第2の側壁絶縁膜との間には、前記第2の側壁絶縁膜の側壁面から前記酸化膜の前記第2の端面までの間に、HFに対して耐性を有する材料よりなる第2の膜領域が形成されていることを特徴とする付記1~11のうち、いずれか一項記載の半導体集積回路装置。

[0123]

(付記24)

前記第1の端面は、前記第2のゲート電極の上面から、前記SiGe混晶層領域の、前記シリコン基板表面から測った深さに対応する距離を越えて後退していることを特徴とする付記23記載の半導体集積回路装置。

[0124]

(付記25)

前記第1の端面は、前記第2のゲート電極の上面から20~30nmの距離だけ後退していることを特徴とする付記23または24記載の半導体集積回路装置。

[0125]

(付記26)

前記HFに対して耐性を有する材料は、SiNまたはSiONであることを特徴とする付記23~25のうち、いずれか一項記載の半導体集積回路装置。

[0126]

(付記27)

前記第1および第2の側壁絶縁膜を形成する工程は、前記第1および第2の側壁絶縁膜を形成する前に、前記第1および第2のゲート電極表面に酸化膜を、前記酸化膜が前記第1および第2のゲート電極のそれぞれの側壁面および、前記第1および第2のゲート電極形成されているシリコン基板の表面部分を連続して覆うように形成する工程を含み、

前記第1および第2の側壁絶縁膜の形成の後、前記酸化膜をHF中にてウェットエッチングし、前記第1のゲート電極において、前記第1のゲート電極の側壁面と前記第1の素側壁絶縁膜との下のシリコン基板と部分との間に第1のスリットを、また前記第2のゲート電極において、前記第2のゲート電極の側壁面と前記第2の素側壁絶縁膜との間、および前記第2の側壁絶縁膜とその下のシリコン基板

10

20

30

50

と部分との間に第2のスリットを、形成する工程と、

前記第1および第2のスリットを、HFに耐性を有する絶縁膜により充填する工程とを含むことを特徴とする請求項12~22のうち、いずれか一項記載の半導体集積回路装置の製造方法。

### [0127]

(付記28)

前記第1および第2のスリットを充填する工程は、CVD法または原子層CVD法により実行されることを特徴とする付記27記載の半導体集積回路装置の製造方法。

【図面の簡単な説明】

[0128]

【図1】SiGe圧縮応力による p チャネルMOSトランジスタの動作速度向上の原理を説明する図である。

【図2】(A)~(C)は、本発明の第1実施例による半導体集積回路装置の製造工程を示す図(その1)である。

【図3】(D)~(F)は、本発明の第1実施例による半導体集積回路装置の製造工程を示す図(その2)である。

【図4】本発明実施例による半導体集積回路装置を構成するpチャネルMOSトランジスタを示す図である。

【図5】(A)~(C)は、本発明の第2実施例による半導体集積回路装置の製造工程を示す図(その1)である。

【図 6 】 (D) ~ (F) は、本発明の第 2 実施例による半導体集積回路装置の製造工程を示す図(その 2 ) である。

【図7】(A)~(C)は、本発明の第3実施例による半導体集積回路装置の製造工程を 示す図(その1)である。

【図8】(D)~(F)は、本発明の第3実施例による半導体集積回路装置の製造工程を示す図(その2)である。

【図9】(A)~(C)は、本発明の第4実施例による半導体集積回路装置の製造工程を示す図(その1)である。

【図10】(D)~(F)は、本発明の第4実施例による半導体集積回路装置の製造工程を示す図(その2)である。

【図11】(G)~(I)は、本発明の第4実施例による半導体集積回路装置の製造工程を示す図(その3)である。

【図12】(A)~(C)は、本発明の第5実施例による半導体集積回路装置の製造工程を示す図(その1)である。

【図13】(D)~(F)は、本発明の第5実施例による半導体集積回路装置の製造工程を示す図(その2)である。

【図14】(G)~(H)は、本発明の第5実施例による半導体集積回路装置の製造工程を示す図(その3)である。

【図15】本発明の第6実施例の課題を説明する図である。

【図16】本発明第6実施例の原理を示す図である。

【図17】(A)~(D)は、図16の構造を形成する工程を示す図である。

【図18】本発明第6実施例の工程の別の例を示す図である。

【図19】本発明第6実施例により得られる構造の例を、トレンチ形成工程前の状態について示す図である。

【符号の説明】

### [0129]

11 シリコン基板

11A, 11B 素子領域

111 素子分離領域

1 1 S N, 1 1 D N n型ソース/ドレイン領域

50

40

10

20

10

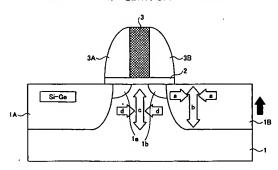
11SNb, 11DNb n-型バッファソース/ドレイン領域 11SP, 11DP p型ソース/ドレイン領域 11SPb, 11DPb p-型バッファソース/ドレイン領域 11TA, 11TB トレンチ 11aN, 11bN n型ソース/ドレインエクステンション領域 11aP, 11bP p型ソース/ドレインエクステンション領域 ゲート絶縁膜 1 2 n型ポリシリコンゲート電極 1 3 N p型ポリシリコンゲート電極 1 3 P 130 CVD酸化膜 130,130i 側壁酸化膜 13WN, 13WNi 侧壁窒化膜 13Wn 窒化膜充填領域 シリコン酸化膜 1 4 14A, 14B p型SiGe混晶層 14C p型多結晶SiGe層 1 4 W 侧壁酸化膜

## 【図1】

1 6

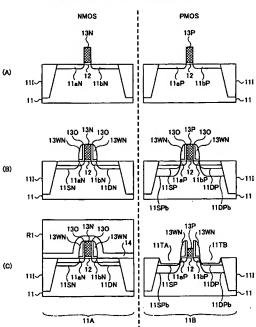
#### SiGe圧縮応力によるpチャネルMOSトランジスタの動作速度向上の 原理を説明する図

シリサイド層



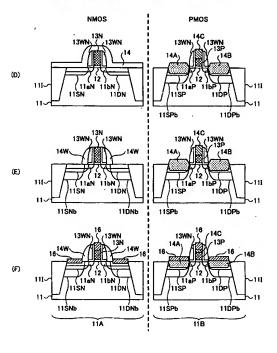
## 【図2】

#### (A)~(C)は、本発明の第1実施例による 半導体集積回路装置の製造工程を示す図(その1)



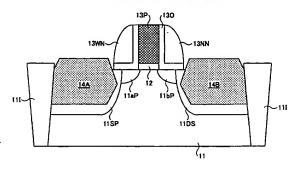
【図3】

(D)~(F)は、本発明の第1実施例による 半導体集積回路装置の製造工程を示す図(その2)



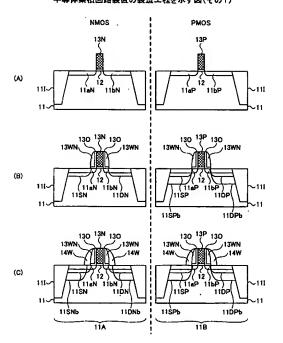
【図4】

本発明実施例による半導体集積回路装置を構成する pチャネルMOSトランジスタを示す図



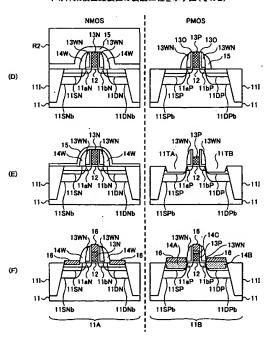
【図5】

(A)~(C)は、本発明の第2実施例による 半導体無線回路結構の解除工程を示す図(その1)



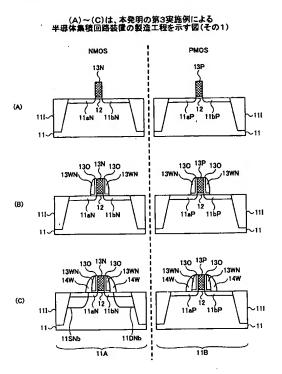
【図6】

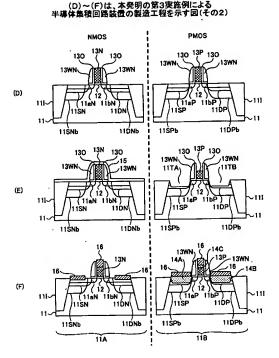
(D)~(F)は、本発明の第2実施例による 半導体集積回路装置の製造工程を示す図(その2)



、【図7】

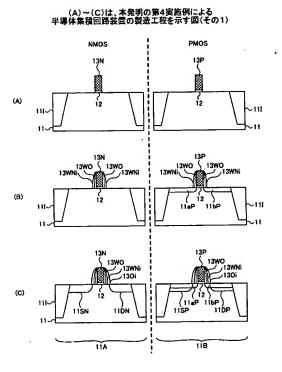
[図8]

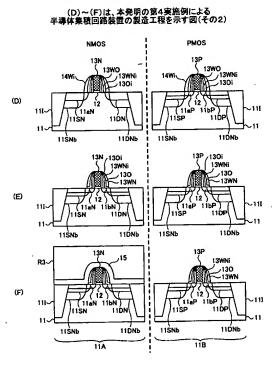




【図9】

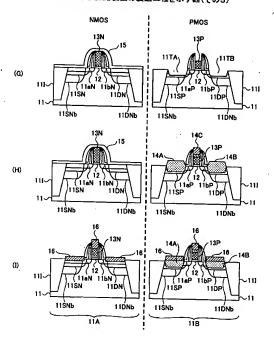
【図10】





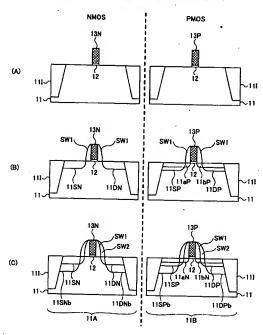
## [図11]

(G)~(I)は、本発明の第4実施例による 半導体集積回路装置の製造工程を示す図(その)



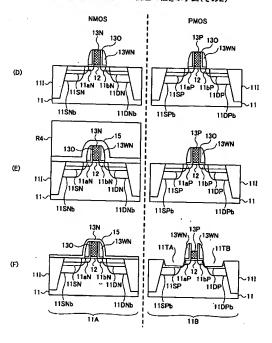
[図12]

(A)~(C)は、本発明の第5実施例による 半導体集積回路装置の製造工程を示す図(その1



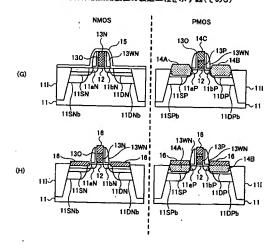
【図13】

(D)~(F)は、本発明の第5実施例による 半導体集積回路装置の製造工程を示す図(その2



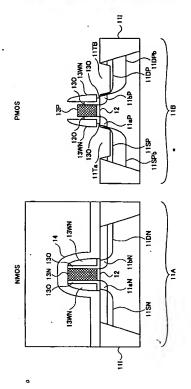
【図14】

(G)~(H)は、本発明の第5実施例による 半導体集積回路差異の制造工程を示す図(そのの)



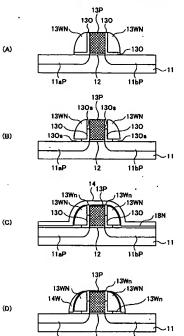
【図15】

本発明の第6実施例の課題を説明する図



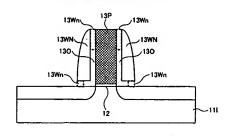
【図17】

(A)~(D)は、図16の構造を形成する工程を示す図



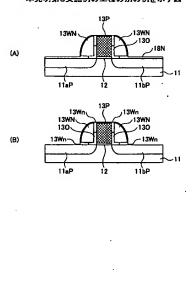
【図16】

本免明第6実施例の原理を示す図

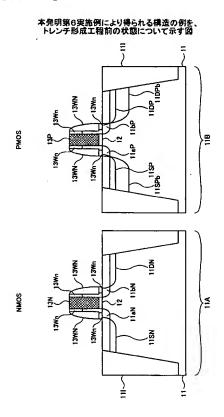


【図18】

本発明第6実施例の工程の別の例を示す図



【図19】



## フロントページの続き

(72)発明者 島宗 洋介

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72)発明者 島 昌司

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72)発明者 大田 裕之

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

Fターム(参考) 5F048 AA08 AC03 BA01 BA14 BB04 BB06 BB07 BB08 BB11 BB12

BB13 BC01 BC05 BC18 BE03 BF06 BG13 DA04 DA23 DA24

DA25 DA27 DA30